

The NSAD1148/NSAD1147/NSAD1146 are low power, low noise, 16-bit, delta-sigma ($\Delta\Sigma$), analog-to-digital converters (ADCs). The device contains a capacitive programmable gain amplifier (capacitive PGA), with gains of 1, 2, 4, 8, 16, 32, 64 and 128, which allows to achieve rail-to-rail common-mode input range for all gains. These ADCs feature configurable digital filters with low-latency conversion and can achieve 50 Hz and 60 Hz simultaneous rejections.

The devices are offered in TSSOP28, TSSOP20 or TSSOP16 packages.

- Integrated capacitive PGA with programmable gain (1 to 128), achieves rail-to-rail input range for all gains
- Low-latency (single cycle settling) filter options
- Simultaneous 50Hz and 60Hz rejection at data rate 2.5Hz, 5Hz, 10Hz, 20Hz in low-latency filter option
- Two independent internal excitation current source with range 50uA to 1500uA
- Internal 2.048V bandgap reference with $\pm 0.02\%$ initial accuracy and 3 ppm/ $^{\circ}\text{C}$ temperature drift
- Internal 4.096MHz oscillator with $\pm 1\%$ Accuracy
- Internal Temperature Sensor with $\pm 1\%$ accuracy
- System monitors
- Self offset and system calibration
- Up to 8 general-purpose I/Os
- Analog Supply: Unipolar (3~5 V) or Bipolar ($\pm 1.5 \sim \pm 2.5$ V)
- Digital Supply: 3 V to 3.6 V

Device Information

<i>Part Number</i>	<i>Package</i>	<i>Body Size</i>
NSAD1146	TSSOP16	5.00 mm × 4.40 mm
NSAD1147	TSSOP20	6.50 mm × 4.40 mm
NSAD1148	TSSOP28	9.70 mm × 4.40 mm

The block diagram illustrates the internal architecture of the ADXL345 digital accelerometer. Key components include:

- Input MUX Matrix:** Receives signals from analog inputs (AIN0 to AIN7) and digital inputs (MONITOR, TEMP).
- Voltage REF and REF MUX:** Provides a reference voltage to the PGA and ADC.
- PGA (Programmable Gain Amplifier):** Amplifies the input signal before it reaches the ADC.
- SDADC (Sigma-Delta ADC):** Converts the amplified analog signal into a digital value.
- Digital Filter:** Filters the digital output to remove noise.
- Interface And Control Logic Scheduler FIFO:** Manages data flow and control signals.
- Power Management:** Includes a POR (Power-On Reset) block and connections to DVDD and DGND.
- Internal OSC and Clock MUX:** Provides the internal clock source for the device.

Pin connections are shown as follows:

- AIN0 to AIN7:** Analog inputs.
- MONITOR and TEMP:** Digital inputs for monitoring and temperature sensing.
- RESET, DOUT/DRDY, START, DIN, DOUT/DRDY, CSN, SCK:** Control and data pins.
- DVDD and DGND:** Power supply pins.
- CLK:** Clock input pin.

- Temperature measurement (RTD, Thermocouples)
- Pressure measurement
- Factory Automation and Industrial process control
- Instrumentation

目录

1. PIN CONFIGURATION AND FUNCTIONS.....	4
2. ABSOLUTE MAXIMUM RATINGS	7
3. ESD RATINGS	7
4. ELECTRICAL CHARACTERISTICS.....	8
5. TIMING CHARACTERISTICS.....	11
6. TYPICAL PERFORMANCE CHARACTERISTICS	12
7. 功能描述	21
7.1. 概述:	21
7.2. 功能模式.....	21
复位	21
睡眠模式	21
连续转换模式	21
可编程转换延迟	错误!未定义书签。
7.3. 供电.....	21
7.4. ADC 电路信息	22
模拟输入通道:	22
电压基准:	22
可编程增益放大器(PGA):	23
时钟源:	23
Σ - Δ 调制器:	24
数字滤波器:	24
偏置电压发生器(Vbias):	27
激励电流源(IDACs):	27
系统监控及诊断:	27
失调和增益校准:	28
通用输入输出 (GPIOs)	29
7.5. 数字接口	29
SPI	29
DRDY	30
命令	30
8. 均方根噪声与分辨率	32
9. 寄存器表	36
9.1. NSAD1146 寄存器汇总.....	36
开路电流配置寄存器(BCS)	37
偏置电压配置寄存器(VBIAS).....	38
基准控制寄存器(REFCTRL)	39
系统控制寄存器 0(SYS0).....	41
失调校准系数寄存器(OFC).....	42
增益校准系数寄存器(FSC)	42
ID 寄存器(ID)	43
9.2. NSAD1147 寄存器汇总.....	44
模拟输入通道配置寄存器(MUXIN).....	45
偏置电压配置寄存器(VBIAS).....	46
基准控制寄存器(REFCTRL)	46
系统控制寄存器 0(SYS0).....	49
失调校准系数寄存器(OFC).....	50

增益校准系数寄存器(FSC)	50
激励电流控制寄存器 0(IDAC0)	51
激励电流控制寄存器 1(IDAC1)	52
GPIO 配置寄存器(GPIOCFG)	53
GPIO 方向寄存器(GPIODIR)	53
GPIO 数据寄存器(GPIODAT)	54
9.3. NSAD1148 寄存器汇总	55
模拟输入通道配置寄存器(MUXIN).....	56
偏置电压配置寄存器(VBIAS).....	57
基准控制寄存器(REFCTRL)	58
系统控制寄存器 0(SYS0).....	60
失调校准系数寄存器(OFC).....	61
增益校准系数寄存器(FSC)	61
激励电流控制寄存器 0(IDAC0)	62
激励电流控制寄存器 1(IDAC1)	63
GPIO 配置寄存器(GPIOCFG)	64
GPIO 方向寄存器(GPIODIR)	64
GPIO 数据寄存器(GPIODAT)	64
10. 典型应用	66
11. 封装信息	67
11.1. TSSOP28:	67
11.2. TSSOP20:	68
11.1. TSSOP16:	69
12. 订购信息	70
13. 修订历史	70

1. Pin Configuration and Functions

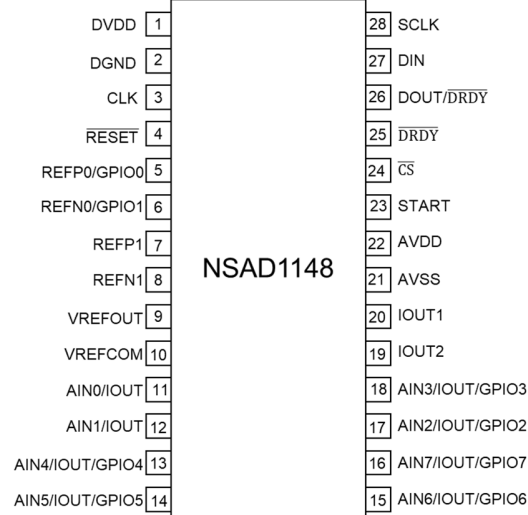


Figure 1-1 28-Pin TSSOP Top View

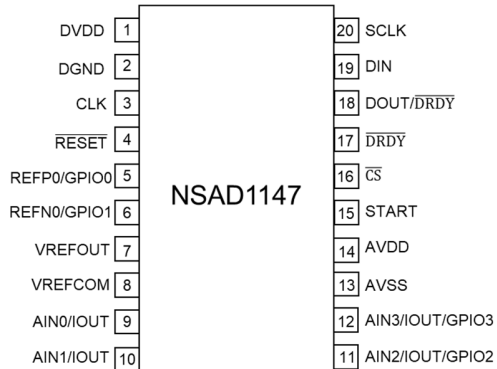


Figure 1-2 20-Pin TSSOP Top View

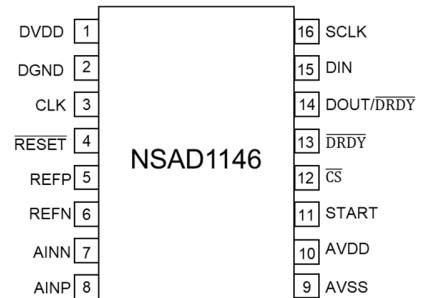


Figure 1-3 16-Pin TSSOP Top View

SYMBOL	NSAD1148	NSAD1147	NSAD1146	TYPE	DESCRIPTION
	PIN NO.	PIN NO.	PIN NO.		
AIN0/ IOUT/ VBIAS	11	9	—	I/O	模拟输入 0/内部激励电流源的输出/偏置电压。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。
AIN1/ IOUT/ VBIAS	12	10	—	I/O	模拟输入 1/内部激励电流源的输出/偏置电压。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。
AIN2/ IOUT/ VBIAS/ GPIO2	17	11	—	I/O	模拟输入 2/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 2。
AIN3/ IOUT/ VBIAS/ GPIO3	18	12	—	I/O	模拟输入 3/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 3。
AIN4/ IOUT/ VBIAS/ GPIO4	13	—	—	I/O	模拟输入 4/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 4。
AIN5/ IOUT/ VBIAS/ GPIO5	14	—	—	I/O	模拟输入 5/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 5。
AIN6/ IOUT/ VBIAS/ GPIO6	15	—	—	I/O	模拟输入 6/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 6。
AIN7/ IOUT/ VBIAS/ GPIO7	16	—	—	I/O	模拟输入 7/内部激励电流源的输出/偏置电压/通用输入输出 2。此输入引脚通过寄存器配置为 PGA 输入的正端或负端。或者,激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚,偏置电压可加载至该引脚。可配置为通用输入输出 7。
AINN	—	—	8	I	模拟输入,此输入引脚为 PGA 输入的负端(NSAD1146 only)
AINP	—	—	7	I	模拟输入,此输入引脚为 PGA 输入的正端(NSAD1146 only)
AVDD	22	14	10	P	模拟正电源(相对于 AVSS),至少 0.1 μ F 电容去耦至 AVSS
AVSS	21	13	9	P	模拟负电源,AVDD 上的电压以 AVSS 为基准

CLK	3	3	3	I	时钟输入, 可通过此引脚为 ADC 提供一个 4.096MHz 的时钟。
$\overline{\text{CS}}$	24	16	12	I	片选输入引脚。低电平有效逻辑输入。
DGND	2	2	2	G	数字地
DIN	27	19	15	I	串行数据输入
DOUT/ $\overline{\text{RDY}}$	26	18	14	O	串行数据输出/数据就绪输出。DOUT/RDY 可以用作串行数据输出引脚, 以访问 ADC 的输出移位寄存器。DOUT 在 SCLK 下降沿更新, 上升沿有效。此外, DOUT/RDY 可以复用为数据就绪引脚。
$\overline{\text{DRDY}}$	25	17	13	O	数据就绪引脚。引脚的低电平表示转换已完成且未被读取。
DVDD	1	1	1	P	数字电源, 至少 0.1 μF 电容去耦至 DGND
IEXC1	20	—	—	I/O	内部激励电流源的输出。激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚。
IEXC2	19	—	—	I/O	内部激励电流源的输出。激励电流源可通过此引脚提供。可以将 IDAC0 或 IDAC1 切换至该引脚。
REFN	—	—	6	I	负基准电压输入(仅 NSAD1146)
REFN0/ GPIO1	6	6	—	I/O	负基准电压输入/通用输入输出 1
REFN1	8	—	—	I	负基准电压输入 1
REFP	—	—	5	I	正基准电压输入(仅 NSAD1146)。可以在 REFP 与 REFN 间施加一个外部基准电压。可以采用 0.5V 至 AVDD 范围内的基准电压工作。
REFP0/ GPIO0	5	5	—	I/O	正基准电压输入 0/通用输入输出 0。可以在 REFP0 与 REFN0 间施加一个外部基准电压。ADC 可以采用 0.5V 至 AVDD 范围内的基准电压工作。
REFP1	7	—	—	I	正基准电压输入 1。可以在 REFP1 与 REFN1 间施加一个外部基准电压。可以采用 0.5V 至 AVDD 范围内的基准电压工作。
RESET	4	4	4	I	复位输入, 低电平有效
SCLK	28	20	16	I	串行时钟输入。
START	23	15	11	I	转换开始, START 高电平使 ADC 进入连续转换模式, START 低电平使 ADC 进入睡眠模式。
VREFCOM	10	8	—	O	内部基准负电压输出, 需要连接至 AVSS。
VREFOUT	9	7	—	O	内部基准正电压输出, 内部 2.048 V 基准电压源的缓冲输出至此引脚。

2. Absolute Maximum Ratings

PARAMETER	SYMBOL	MIM	MAX	UNIT
Power-supply voltage	AVDD to AVSS	-0.3	5.5	V
	AVSS to DGND	-2.8	0.3	V
	DVDD to DGND	-0.3	3.9	V
Analog Input voltage	AINx, GPIOx, REFPx, REFNx, REFCOM	AVSS-0.3	AVDD + 0.3	V
Digital input voltage	CS, SCLK, DIN, DOUT/DRDY, DRDY, START, RESET, CLK	DGND - 0.3	DVDD + 0.3	V
Input current	Continuous, any pin except power supply pins	-10	+10	mA
Temperature	Junction, T_J		150	°C
	Storage, T_{stg}	-60	150	°C

3. ESD Ratings

		VALUE	UNIT
Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins (1)	±4000	V
	Charged device model (CDM), per JEDEC specification JESD22-C101, all pins (2)	±2000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

4. Electrical Characteristics

at $T_A = 25^\circ\text{C}$, $AV_{DD} = 5\text{ V}$, $AV_{SS} = 0\text{ V}$, $DV_{DD} = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

Parameters	Symbol	Condition	Min	Typ	Max	Unit
ANALOG INPUTS						
Common-Mode input range		Gain = 1 to 128	$AV_{SS} + 0.1$		$AV_{DD} - 0.1$	V
Absolute input current		Common-Mode input range		3		nA
Differential input current		$V_{CM} = AV_{DD} / 2$ $-V_{REF} / \text{Gain} \leq V_{IN} \leq V_{REF} / \text{Gain}$		± 0.1		nA
Differential input impedance				25		GΩ
Crosstalk		at DC		-140		dB
VOLTAGE REFERENCE INPUTS						
External REF_{IN} Voltage		$REF_{IN} = REFP_X - REF_N_X$	0.5		AV_{DD}	V
Common-Mode Rejection		$AV_{SS} < REF_{IN} < AV_{DD}$		120		dB
Reference input Range		Reference buffers disabled	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V
		Reference buffers enabled	$AV_{SS} + 0.1$		$AV_{DD} - 0.1$	V
Absolute input current		Reference buffers disabled		5.5		μA/V
		Reference buffers enabled		0.1		nA
PGA						
Gain settings			1, 2, 4, 8, 16, 32, 64, 128			V/V
SYSTEM PERFORMANCE						
Resolution				24		Bits
Output data rate	ODR		2.5, 5, 10, 16.6, 20, 50, 60, 100, 200, 400, 800, 1000, 2000, 4000			SPS
Integral nonlinearity (best fit)	INL	Gain = 1 to 16, $V_{CM} = AV_{DD} / 2$	± 5			ppmFSR
		Gain = 32 to 128, $V_{CM} = AV_{DD} / 2$	± 10			
Input offset voltage	V_{OS}	Gain = 1 to 16	20 / Gain 120 / Gain			μV
		Gain = 32 to 128	2 12			
		Gain = 1 to 128, after internal offset calibration	On the order of peak-to-peak noise at the set DR and gain			
		Gain = 1 to 128, system chop enabled	0.2			
Offset drift		$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, gain = 1 to 8	0.05			uV/°C
		$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, gain = 16 to 128	0.01			
		$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, gain = 1 to 128, system chop enabled	0.002			
Gain error	GE	Gain = 1 to 32	-0.01%	$\pm 0.006\%$	0.01%	
		Gain = 64 and 128	-0.1%	$\pm 0.012\%$	0.1%	
Gain drift		$T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, gain = 1 to 128	1			ppm/°C
		$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, gain = 1 to 128	2			
Noise (input-referred)			See the Noise Performance section for more information			
Normal-mode rejection ratio	NMRR	$f_{IN} = 50\text{ Hz}$ ($\pm 1\text{ Hz}$) ODR = 10 SPS, SINC3 filter	105			dB
		$f_{IN} = 50\text{ Hz}$ or 60 Hz ($\pm 1\text{ Hz}$) ODR = 20 SPS, low-latency filter	115			
		$f_{IN} = 50\text{ Hz}$ ($\pm 1\text{ Hz}$) ODR = 50 SPS, SINC3 filter	100			
		$f_{IN} = 60\text{ Hz}$ ($\pm 1\text{ Hz}$) ODR = 60 SPS, SINC3 filter	100			

Electrical Characteristics (Continued)at $T_A = 25^\circ\text{C}$, $AV_{DD} = 5\text{ V}$, $AV_{SS} = 0\text{ V}$, $DV_{DD} = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

Parameters	Symbol	Condition	Min	Typ	Max	Unit
Common-mode rejection ratio	CMRR	DC		135		dB
		ODR = 2.5 to 10 SPS				
		f _{CM} = 60 Hz (±1 Hz)		140		
		ODR = 2.5 to 10, 60 SPS, SINC3 filter				
		f _{CM} = 50 Hz or 60 Hz (±1 Hz)		140		
		ODR = 2.5 to 20 SPS, low-latency filter				
Power-supply rejection ratio	PSRR	AV _{DD} at DC		120		dB
		DV _{DD} at DC		135		
INTERNAL VOLTAGE REFERENCE						
Output voltage	V _{REF}			2.048		V
Accuracy		T _A = 25°C	-0.1%	±0.02%	0.1%	
Temperature drift		T _A = -40°C to +85°C		3	10	ppm/°C
		T _A = -40°C to +125°C		5	15	ppm/°C
Short-circuit current limit		Sink and source		+60/-100		mA
Line regulation		AV _{DD} at DC		20		uV/V
Load regulation		-10mA < Load current < 10mA		10		ppm/mA
Capacitive load stability		Between REFOUT and REFCOM Pin	0.47		47	μF
Reference noise		f = 0.1 Hz to 10 Hz, 1-μF capacitor		8		μVPP
Startup time		1-μF capacitor, 0. 1% settling		2.5		ms
		1-μF capacitor, 0. 01% settling		4		
EXCITATION CURRENT SOURCES (IDACS)						
Current settings			10, 50, 100, 250, 500, 750, 1000, 1500, 2000			μA
Compliance voltage		10 μA to 750 μA, 0.1% deviation		AV _{DD} - 0.3	AV _{DD} - 0.4	V
		1 mA to 2 mA, 0.1% deviation		AV _{DD} - 0.6	AV _{DD} - 0.65	
Accuracy (each IDAC)		10 μA to 100 μA	-5%	± 1.5%	5%	
		250 μA to 750 μA	-1.5%	± 0.3%	1.5%	
		1000 μA to 2000uA	-2.5%	± 0.5%	2.5%	
Mismatch between IDACs		10 μA to 50 μA		0.25%	1.2%	
		100 μA to 2000uA		0.2%	1%	
Temperature drift each IDAC		10 μA to 750 μA		20		ppm/°C
		1000uA to 2000uA		10		
Temperature drift mismatch between IDACs		10 μA to 100 μA		5		
		250 μA to 2000uA		3		
INTERNAL OSCILLATOR						
Frequency	f _{CLK}			4.096		MHz
Accuracy		T _A = 25°C	0.2%		0.2%	
		T _A = -40°C to +125°C	-1%		1%	
BIAS VOLTAGE						
Output voltage settings				(AV _{DD} + AV _{SS}) / 2 (AV _{DD} + AV _{SS}) / 12		V
Output impedance				400		Ω
Startup time		No Load, 1% settling		100		μs
BURNOUT CURRENT SOURCES (BCS)						
Current settings				0.5, 2, 10		μA
Accuracy				10%		
Startup Time				1		ms

Electrical Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AV_{DD} = 5\text{ V}$, $AV_{SS} = 0\text{ V}$, $DV_{DD} = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

Parameters	Symbol	Condition	Min	Typ	
SUPPLY VOLTAGE MONITORS					
Accuracy		(AV _{DD} – AV _{SS}) / 4 monitor	±1%		
		(DV _{DD} – AV _{SS}) / 4 monitor	±1%		
TEMPERATURE SENSOR					
Temperature coefficient		T _A = –40°C to +125°C	455	μV/°C	
TA = 25°C Output Voltage			139.9	mV	
Accuracy		T _A = –40°C to +125°C	± 1.5	°C	
GENERAL-PURPOSE INPUT/OUTPUTS (GPIOs)					
Logic input level, low			AV _{SS}	V	
VIH Logic input level, high			0.7 AV _{DD}		
DIGITAL INPUT/OUTPUTS					
Logic input level, low			DGND	V	
VIH Logic input level, high			0.7 DV _{DD}		
POWER SUPPLY					
AVDD Current	I _{AVDD}	Normal Mode	560	600	μA
		Sleep Mode	0.15		
Internal Reference			190		
Vbias			15		
Reference Buffer			30		
IDAC overhead, 10 μA to 250 μA			35		
IDAC overhead, 500 μA to 750 μA			40		
IDAC overhead, 1 mA			50		
IDAC overhead, 1.5 mA-2 mA			65		
DVDD Current	I _{DVDD}	Normal Mode	230	260	μA
		Internal 4.096-MHz oscillator			
		Sleep Mode	0.15		
		Normal Mode			
		External f _{CLK} = 4.096 MHz	210		

5. Timing Characteristics

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

Parameters	Symbol	MIN	TYP	MAX	UNIT
SERIAL INTERFACE					
Delay time, First SCLK rising edge after CS falling edge	t_{CSSC}	10			ns
Delay time, CS rising edge after final SCLK falling edge	t_{SCCS}	7			t_{CLK}
Pulse duration, CS high	t_{CSPW}	5			t_{CLK}
SCLK period	t_{SCLK}	100ns		$2^{15} * t_{CLK}$	
Pulse duration, SCLK high	t_{SPWH}	25%		75%	t_{SCLK}
Pulse duration, SCLK low	t_{SPWL}	25%		75%	t_{SCLK}
Setup time, DIN valid before SCLK falling edge	t_{DIST}	5			ns
Hold time, DIN valid after SCLK falling edge	t_{DIHD}	5			ns
Setup time, SCLK low before DRDY rising edge	t_{STD}	5			t_{CLK}
Delay time, SCLK rising edge after DRDY falling edge	t_{DTS}	1			t_{CLK}
MINIMUM START TIME PULSE					
Pulse duration, START high	t_{START}		0.3		V
RESET PULSE DURATION, SERIAL INTERFACE COMMUNICATION AFTER RESET					
Pulse duration, RESET low	t_{RESET}				V

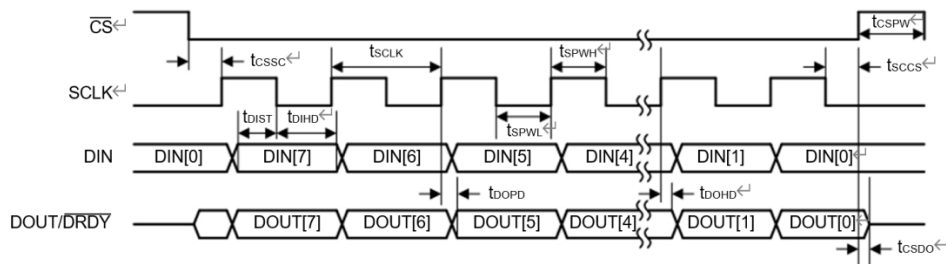


Figure 5-1 Serial Interface Switching Characteristics

6. Typical Performance Characteristics

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

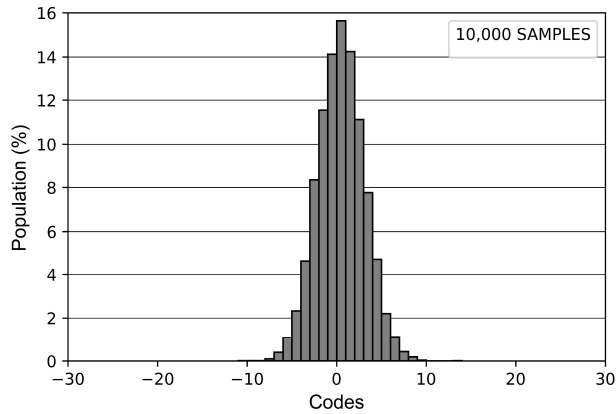


Figure 6-1 Noise Histogram, SINC3 Filter, ODR = 20 SPS, Gain = 1, Global Chop Disable

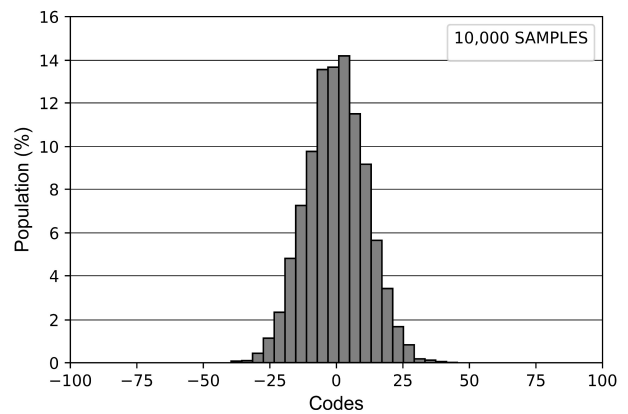


Figure 6-2 Noise Histogram, SINC3 Filter, ODR = 20 SPS, Gain = 64, Global Chop Disable

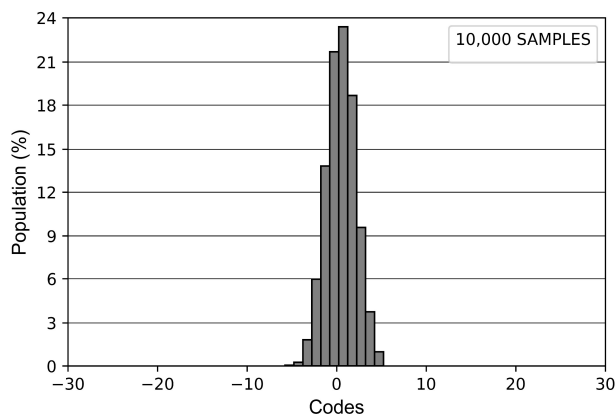


Figure 6-3 Noise Histogram, SINC3 Filter, ODR = 20 SPS, Gain = 1, Global Chop Enable

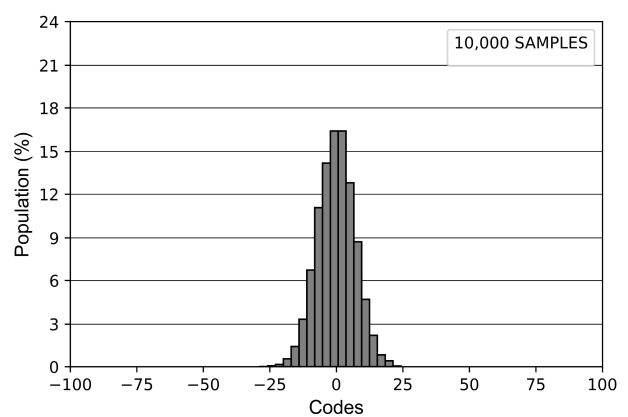


Figure 6-4 Noise Histogram, SINC3 Filter, ODR = 20 SPS, Gain = 64, Global Chop Enable

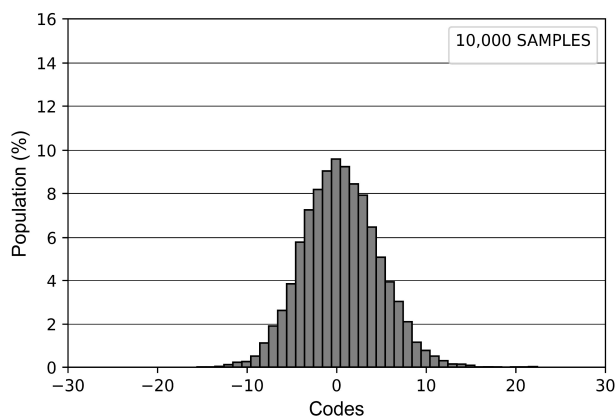


Figure 6-5 Noise Histogram Low-Latency Filter, ODR = 20 SPS, Gain = 1, Global Chop Disable

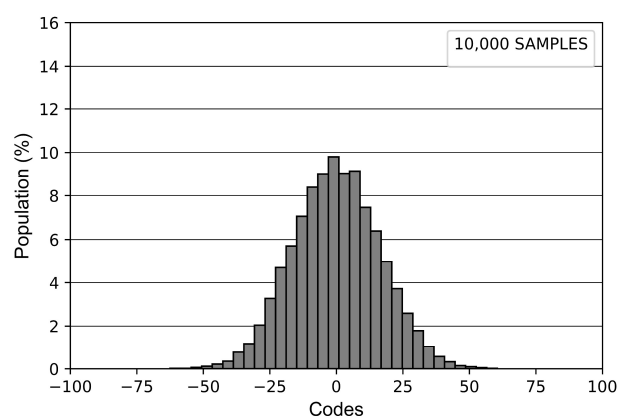


Figure 6-6 Noise Histogram Low-Latency Filter, ODR = 20 SPS, Gain = 64, Global Chop Disable

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

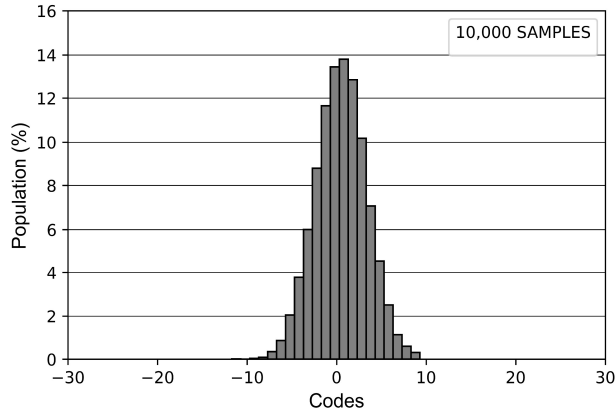


Figure 6-7 Noise Histogram, Low-Latency Filter, ODR = 20 SPS, Gain = 1, Global Chop Enable

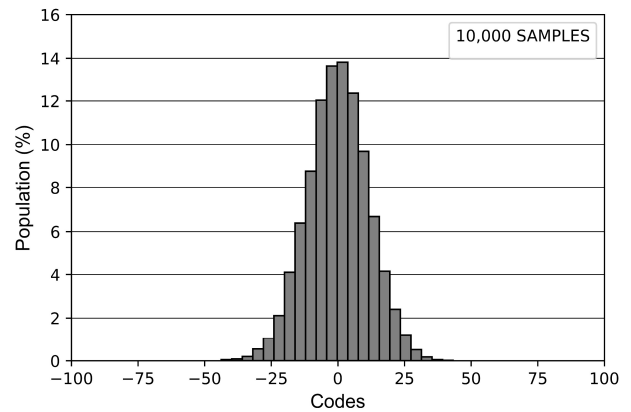


Figure 6-8 Noise Histogram, Low-Latency Filter, ODR = 20 SPS, Gain = 64, Global Chop Enable

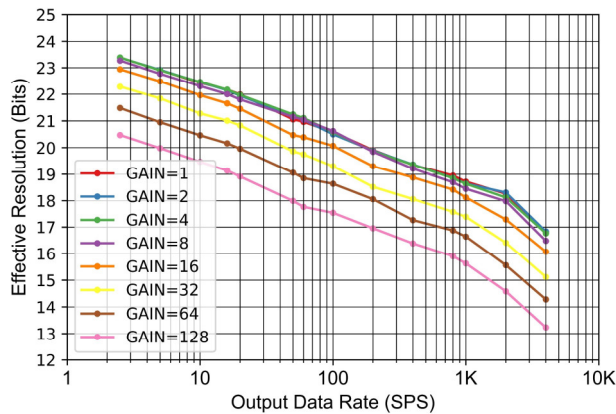


Figure 6-9 Effective Resolution vs. Output Data Rate
Low-Latency Filter, Global Chop Disable

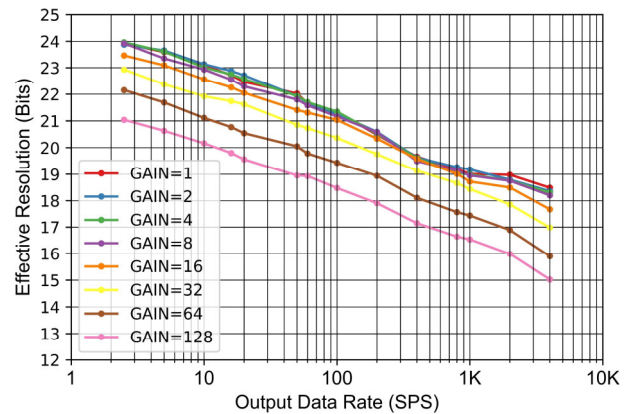


Figure 6-10 Effective Resolution vs. Output Data Rate
SINC3 Filter, Global Chop Disable

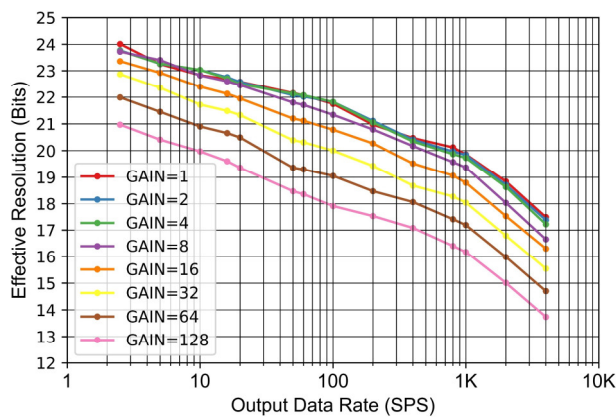


Figure 6-11 Figure 4-9 Effective Resolution vs. Output Data Rate
Low-Latency Filter, Global Chop Enable

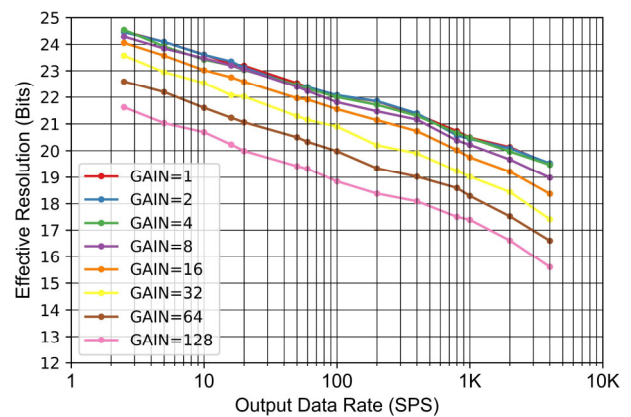


Figure 6-12 Effective Resolution vs. Output Data Rate
SINC3 Filter, Global Chop Enable

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

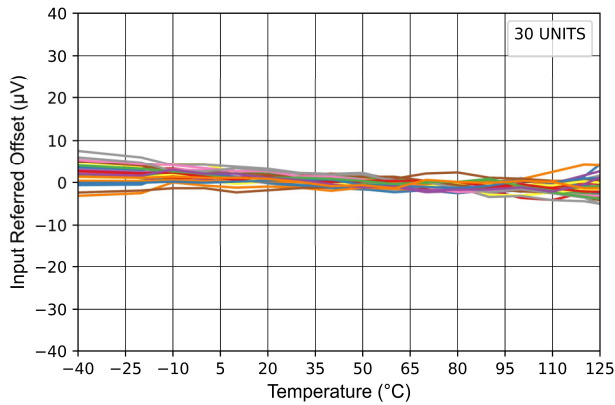


Figure 6-13 Input Referred Offset Error vs. Temperature

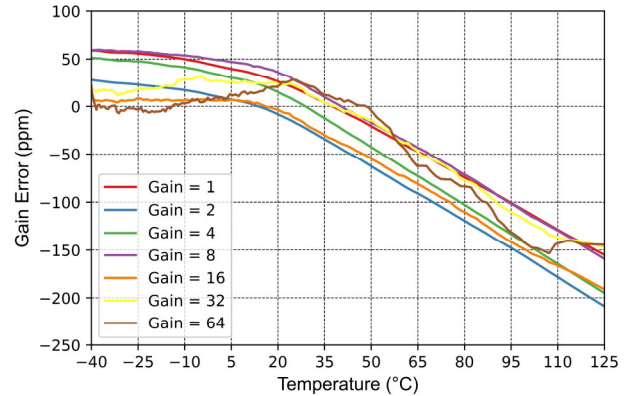


Figure 6-14 Input Referred Gain Error vs. Temperature

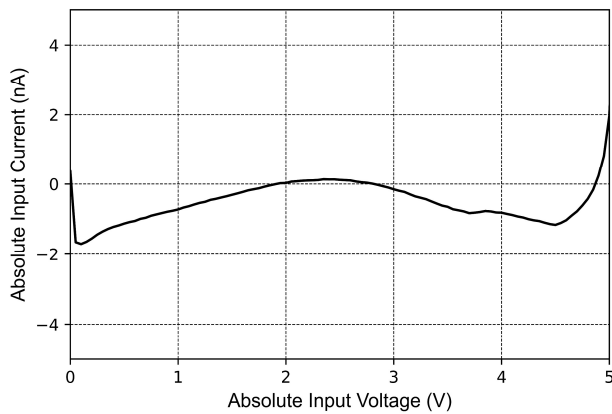


Figure 6-15 Absolute Input Current vs. Absolute Input Voltage

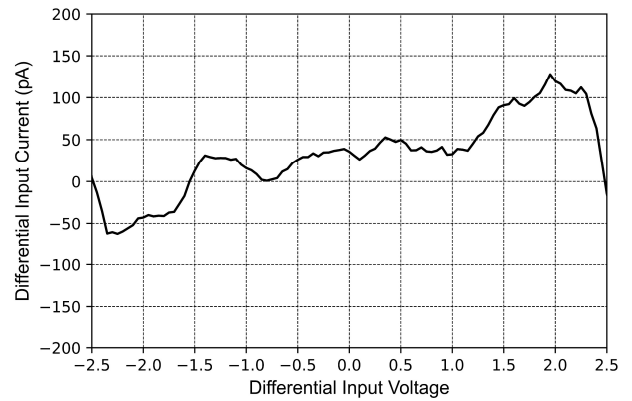


Figure 6-16 Differential Input Current vs. Differential Input Voltage

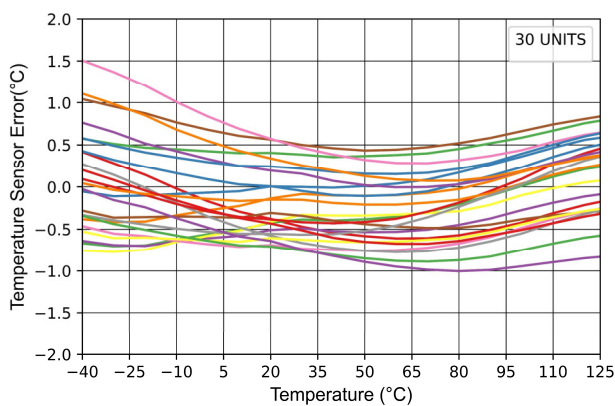


Figure 6-17 TempSensor Error vs. Temperature

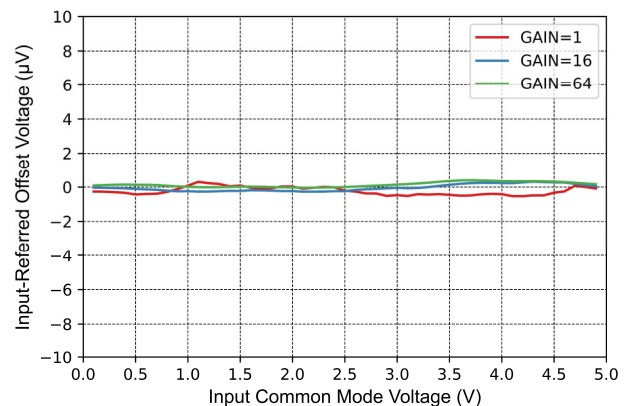


Figure 6-18 Offset Voltage vs Common Mode Voltage

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

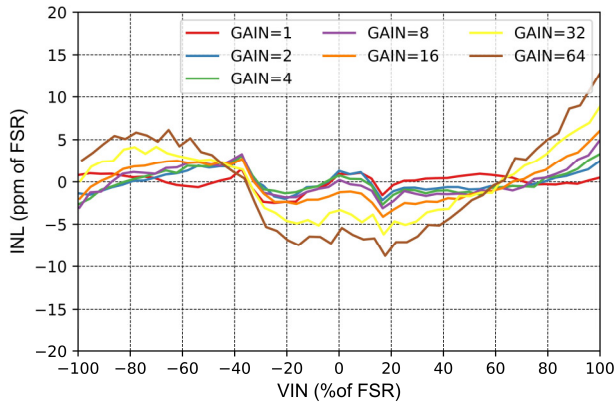


Figure 6-19 INL vs. Differential Input Signal, External 2.5 V Reference ($AVDD = 5\text{ V}$)

TBD

Figure 6-20 INL vs. Differential Input Signal, Internal 2.048 V Reference ($AVDD = 5\text{ V}$)

TBD

Figure 6-21 INL vs. Differential Input Signal, External 2.5 V Reference ($AVDD = 3.3\text{ V}$)

TBD

Figure 6-22 INL vs. Differential Input Signal, Internal 2.048 V Reference ($AVDD = 3.3\text{ V}$)

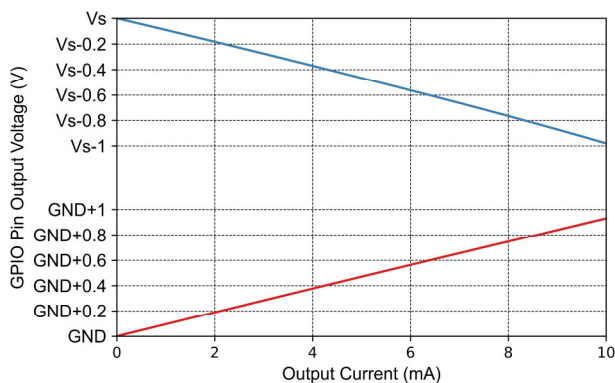


Figure 6-23 GPIO Pin Output Voltage vs Sourcing Current

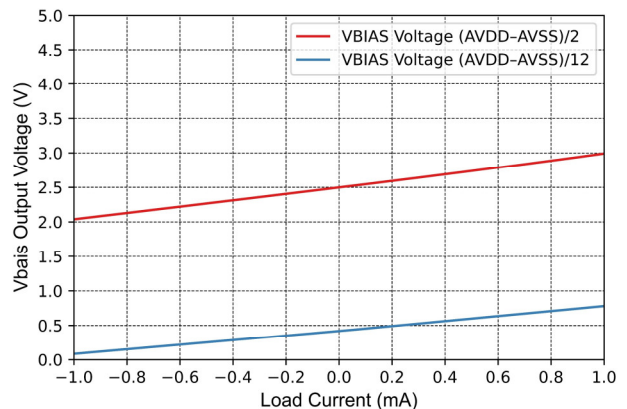


Figure 6-24 VBIAS Voltage vs. Load Current

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

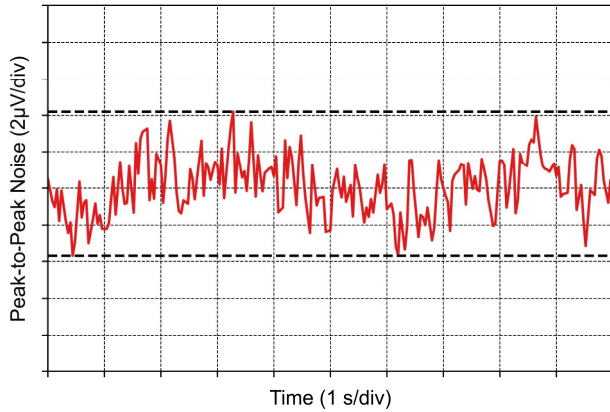


Figure 6-25 Internal Reference 0.1Hz to 10Hz Noise

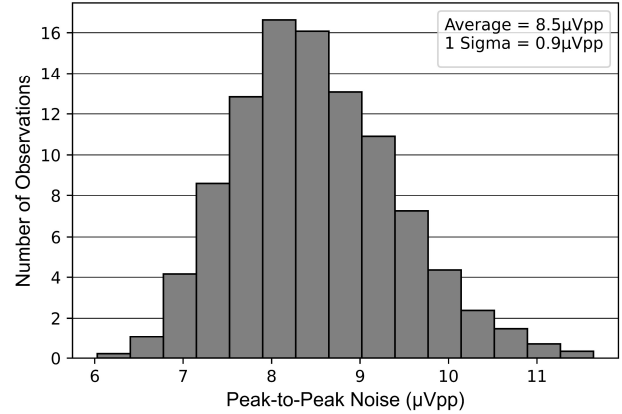


Figure 6-26 Internal Reference 0.1Hz to 10Hz Noise Histogram

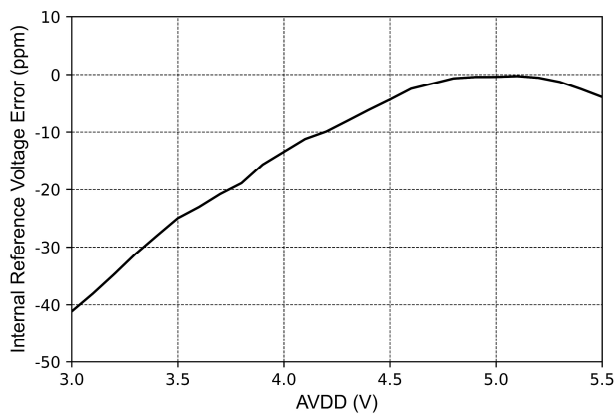


Figure 6-27 Internal Reference Voltage vs. AVDD

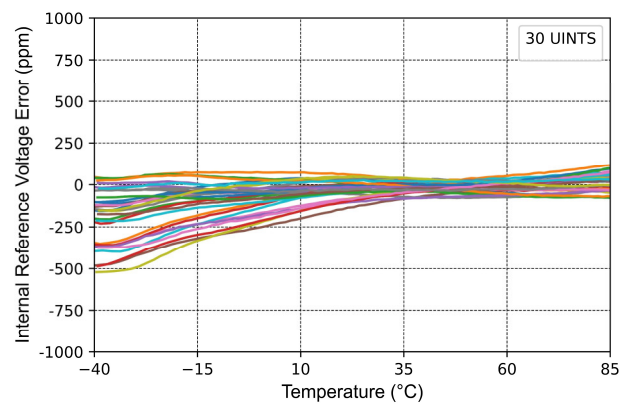


Figure 6-28 Internal Reference Voltage vs. Temperature

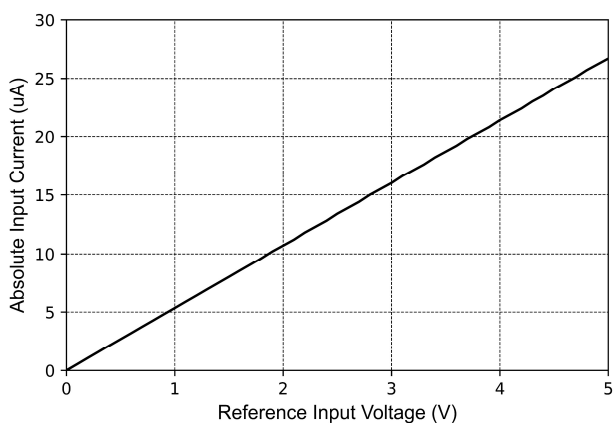


Figure 6-29 Reference Input Current vs. Input Voltage
Reference buffers disabled

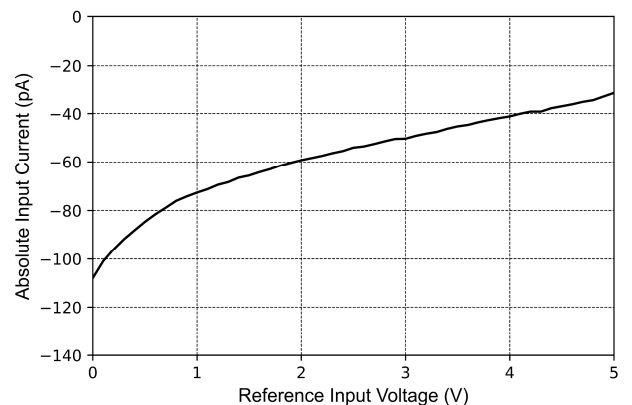


Figure 6-30 Reference Input Current vs. Input Voltage
Reference buffers enabled

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

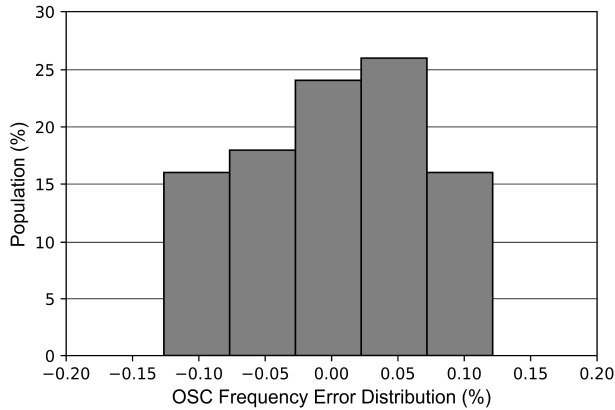


Figure 6-31 Internal Oscillator Frequency Histogram

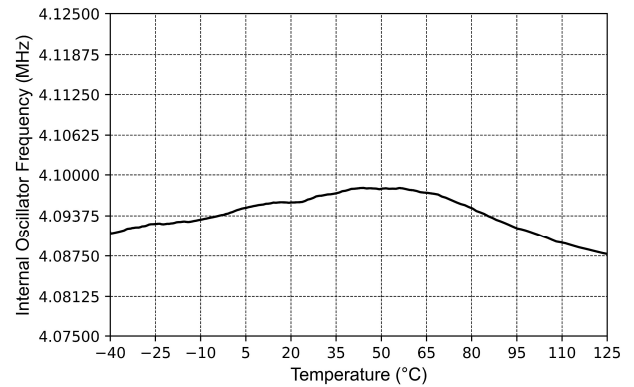


Figure 6-32 Internal Oscillator Frequency vs. Temperature

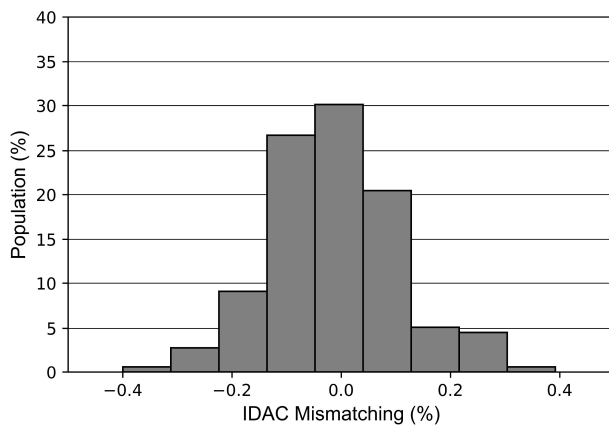


Figure 6-33 IDAC Current Mismatching Histogram

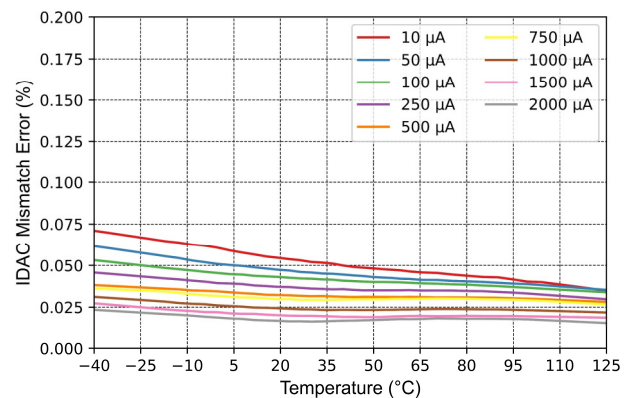


Figure 6-34 IDAC Mismatching vs. Temperature

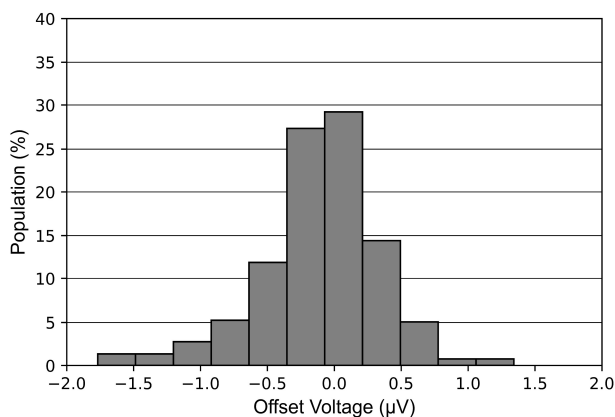


Figure 6-35 IDAC Current Initial Accuracy Histogram

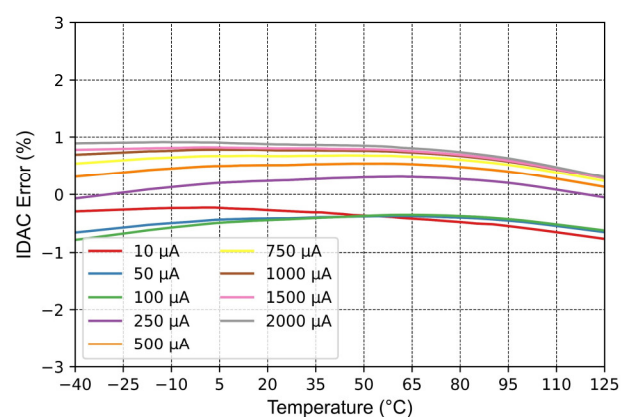


Figure 6-36 Excitation Current Drift

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$, $\text{DVDD} = 3.3\text{ V}$, external $V_{\text{REF}} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

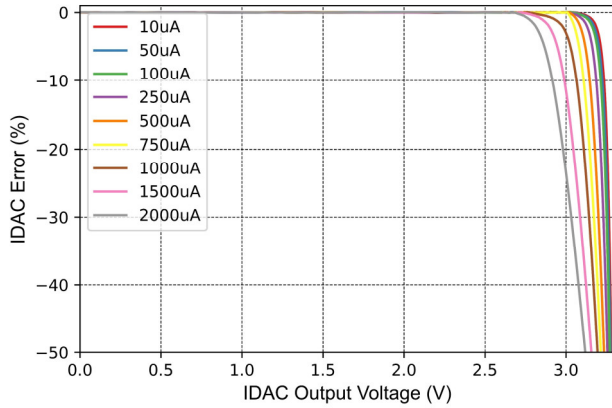


Figure 6-37 IDAC Output Compliance ($\text{AVDD} = 3.3\text{ V}$)

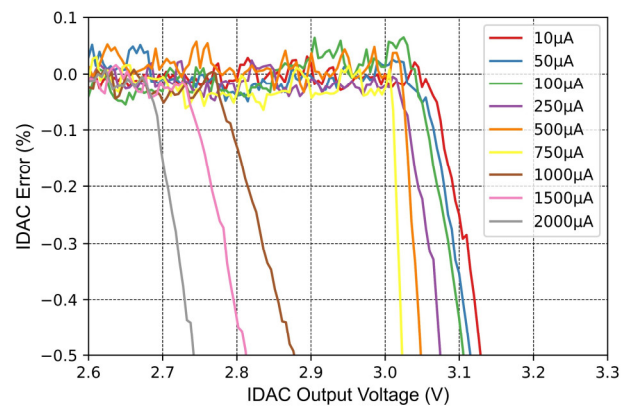


Figure 6-38 IDAC Output Compliance ($\text{AVDD} = 3.3\text{ V}$)

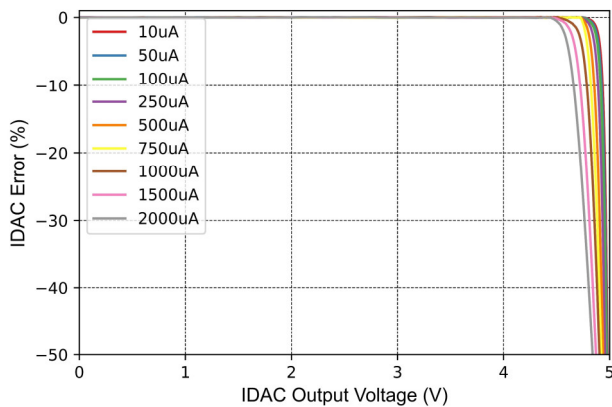


Figure 6-39 IDAC Output Compliance ($\text{AVDD} = 5\text{ V}$)

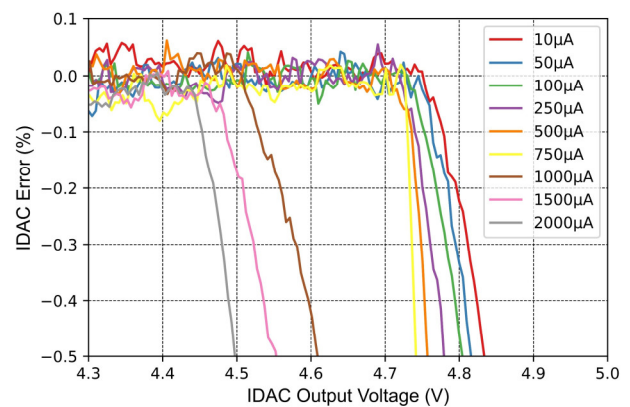


Figure 6-40 IDAC Output Compliance ($\text{AVDD} = 5\text{ V}$)

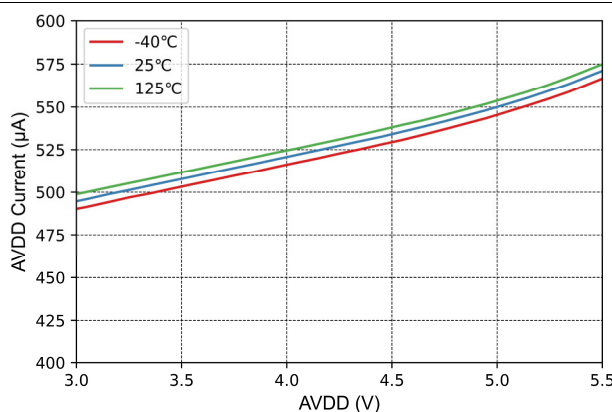


Figure 6-41 Analog Supply Current vs AVDD
Conversion-mode, External V_{REF}

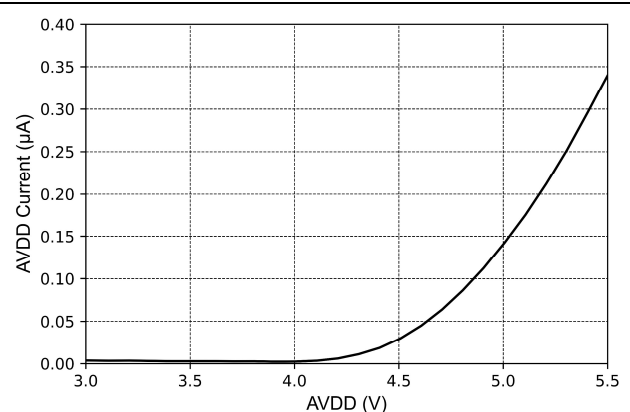


Figure 6-42 Analog Supply Current vs AVDD
Power-down mode

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $AVDD = 5\text{ V}$, $AVSS = 0\text{ V}$, $DVDD = 3.3\text{ V}$, external $V_{REF} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

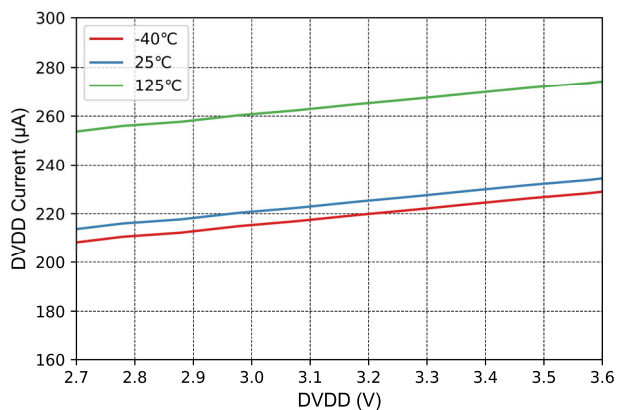


Figure 6-43 Digital Supply Current vs DVDD
Conversion mode, Internal Oscillator

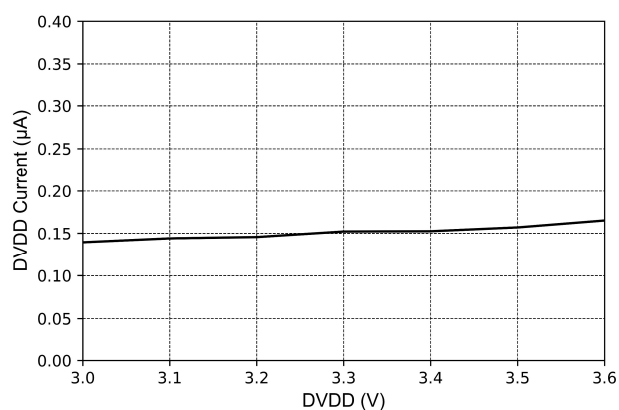


Figure 6-44 Digital Supply Current vs. DVDD
Power-down mode

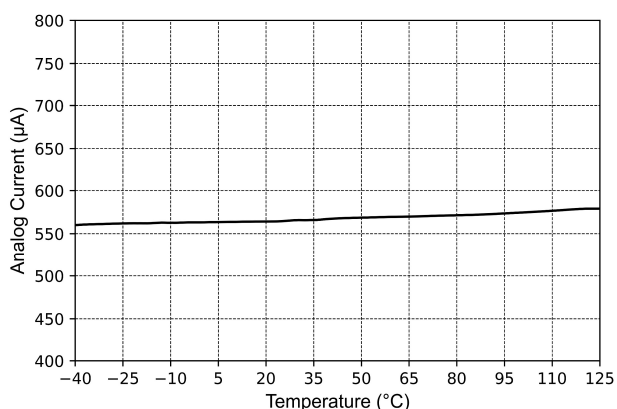


Figure 6-45 Analog Supply Current vs. Temperature

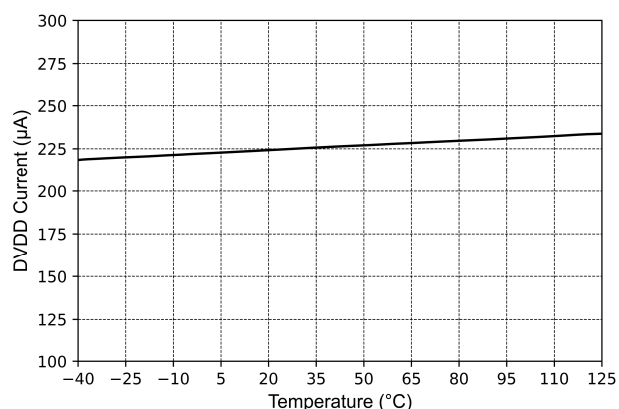


Figure 6-46 Digital Supply Current vs. Temperature

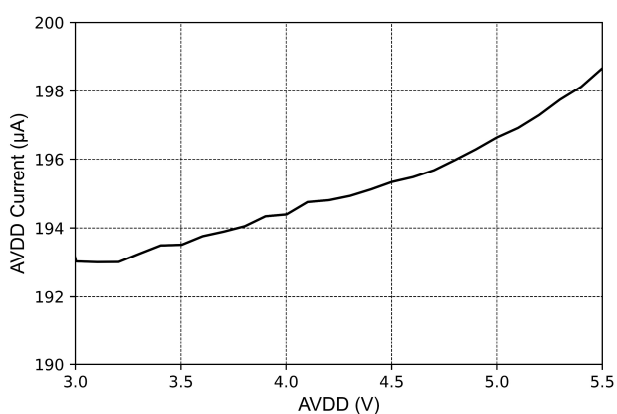


Figure 6-47 Internal Reference AVDD Current vs. AVDD

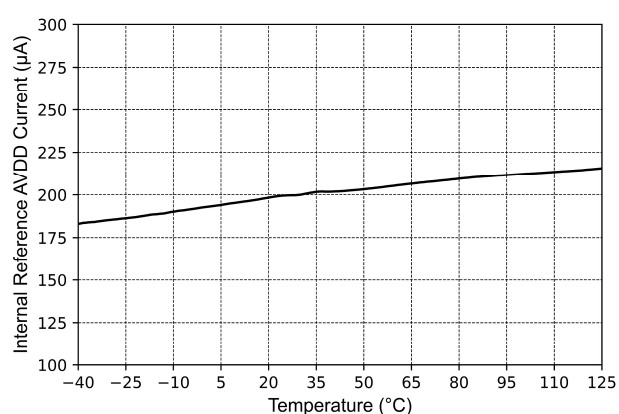


Figure 6-48 Internal Reference AVDD Current vs. Temperature

Typical Performance Characteristics (Continued)

at $T_A = 25^\circ\text{C}$, $\text{AVDD} = 5\text{ V}$, $\text{AVSS} = 0\text{ V}$, $\text{DVDD} = 3.3\text{ V}$, external $V_{\text{REF}} = 2.5\text{ V}$, and internal 4.096-MHz oscillator (unless otherwise noted)

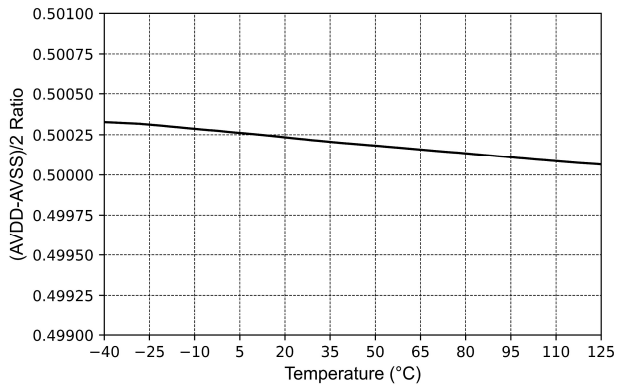


Figure 6-49 VBIAS Voltage (AVDD-AVSS) / 2 vs Temperature

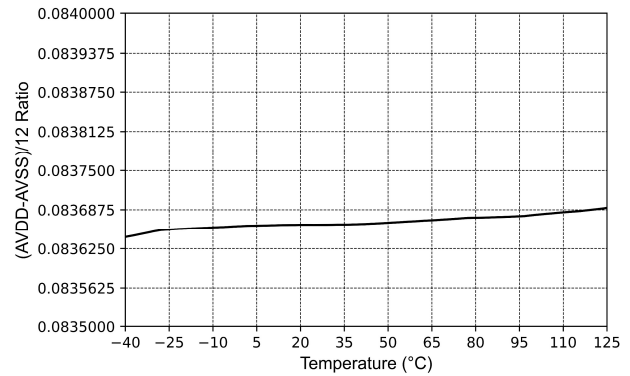


Figure 6-50 VBIAS Voltage (AVDD-AVSS) / 12 vs Temperature

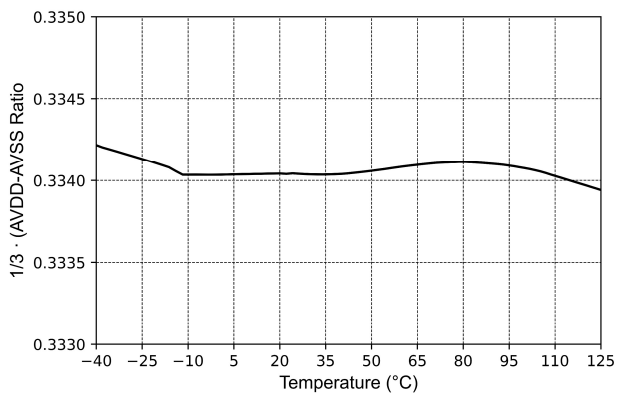


Figure 6-51 Reference Threshold (AVDD-AVSS) / 3 vs. Temperature

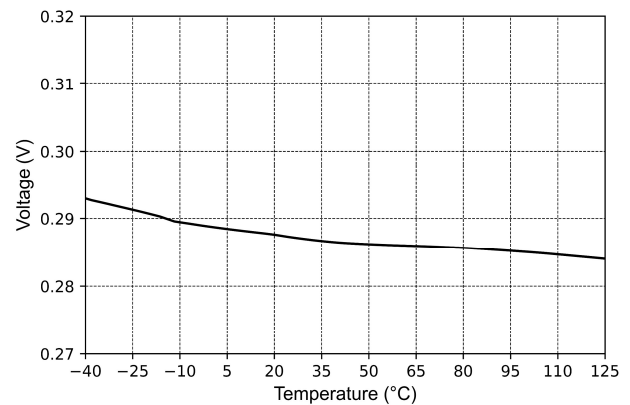


Figure 6-52 Reference Threshold (300mV) vs. Temperature

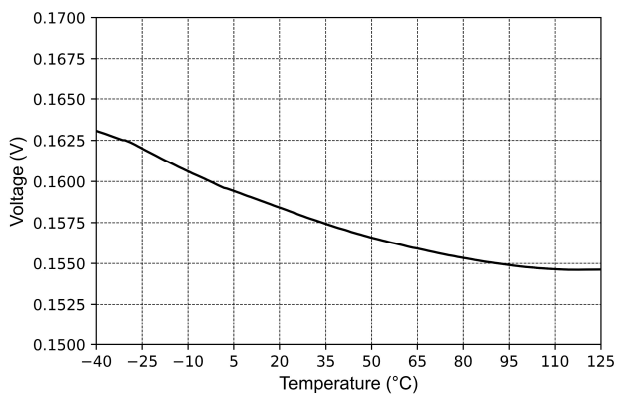


Figure 6-53 PGA Rail Detection, PGAN_RAILP, PGAP_RAILP Threshold From AVDD

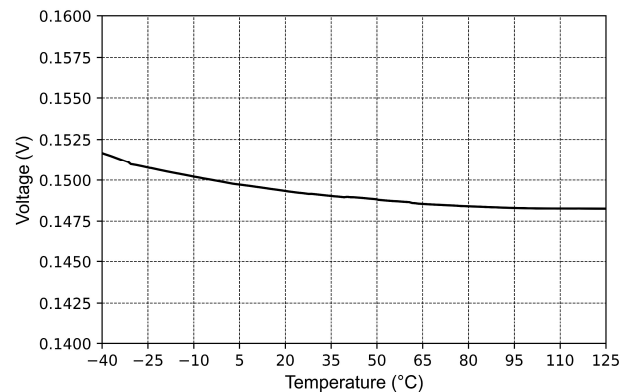


Figure 6-54 PGA Rail Detection, PGAN_RAILN, PGAP_RAILN Threshold From AVSS

7. 功能描述

7.1. 概述:

NSAD1148/NSAD1147/NSAD1146 是低功耗低噪声 16bit 的 $\Delta\Sigma$ 模数转换器(ADC)。NSAD114x 最高具有 8 个模拟输入端和电容性的可编程增益放大器(PGA),增益可设为 1, 2, 4, 8, 16, 32, 64 和 128。该器件内置一个精密低噪声、低漂移内部带隙基准电压源,也可采用内部缓冲的外部差分基准电压。其它主要集成特性包括可编程低漂移激励电流源、开路测试(burnout)电流和偏置电压产生器(Vbias),利用偏置电压产生器可将某一通道的共模电压设置为 $AVDD/2$ 或者是 $AVDD/12$ 。该器件还允许用户采用内部时钟或外部时钟工作。该器件采用 3V 至 5V 单模拟电源或 $\pm 1.5V$ 至 $\pm 2.5V$ 双电源工作。数字电源范围为 3V 至 3.6V。器件的额定温度范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$ 。NSAD1148 采用 TSSOP28 封装,NSAD1147 采用 TSSOP20 封装,NSAD1146 采用 TSSOP16 封装。

7.2. 功能模式

NSAD114x 两种工作模式下工作:睡眠模式和连续转换模式

复位

发生复位时, NSAD114x 的配置会将重置为默认值。

上电复位

NSAD114x 包含上电复位(POR)功能,上电复位保证在施加电源后,模拟和数字模块初始化至已知状态。当模拟电源电压($AVDD-AVSS$)高于约 2.1V 并且数字电源电压($DVDD-DGND$)高于约 2.2V 时,复位释放。POR 释放后,器件开始初始化,包括开启内部振荡器,载入默认配置等,用户在上电时可以通过 SPI 轮询 STATUS 寄存器中的 RDY 位, RDY 位为 1 时,表示器件还在初始化中,变为 0 指示器件已经完成初始化。STATUS 寄存器中的 FL_POR 位被置 1 以指示发生了上电复位。

RESET 引脚

将 RESET 引脚拉至低电平并保持至少 $4 \times t_{CLK}$ 周期,然后使恢复高电平,将复位整个器件。其中 $t_{CLK} = f_{CLK}/1$, $f_{CLK}=4.096MHz$ 。

RESET 命令

通过 SPI 发送 RESET 命令(06h 或 07h)可以复位 ADC, SPI 接口本身除外。RESET 命令在第 8 个 SCLK 下降沿时生效。

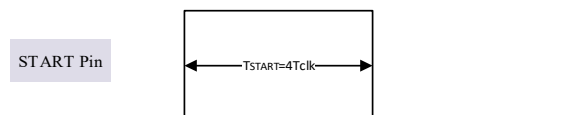
睡眠模式

用户通过 SPI 发送 POWER DOWN 命令进入睡眠模式。POWER DOWN 命令在第 8 个 SCLK 下降沿生效, NSAD114x 在完成当前转换后进入睡眠模式。或者可以通过拉低 START 引脚进入睡眠模式,这两种方式在功能上是相同的。在睡眠模式下,所有模拟电路和部分数字电路都处于掉电状态,以实现最低的功耗。但内部基准电压可以通过 VREFCON[1:0]配置为在睡眠模式保持使能。

在睡眠模式下,所有寄存器值保留当前设置,WAKEUP, RDATA, RDATA_C, SDATA_C, RREG 命令可以被响应,其他命令则被屏蔽。这意味着可以在睡眠模式下读取寄存器配置值和进入睡眠模式前最新一次的转换结果。必须发出 WAKEUP 命令才能退出睡眠模式并进入连续转换模式。

连续转换模式

START 引脚为高电平时,默认进入连续转换模式,在连续转换模式下, NSAD114x 完成一次转换, DRDY 引脚拉低表示新的一次数据就绪,并立即开始一次新的转换。



7.3. 供电

NSAD114x 有两个独立的电源:模拟电源 ($AVDD$ 、 $AVSS$) 和数字电源 ($DVDD$ 、 $DGND$)。模拟电源供电范围($AVDD-AVSS$)为 3V~5.5V,模拟电源可以是双极性($AVDD=+2.5V$, $AVSS=-2.5V$, $DGND=0V$)或单极性($AVDD=5V$, $AVSS=DGND=0V$)。模拟电源供电范围为 3V~3.6V。 $AVDD$ 和 $DVDD$ 可以按任何顺序上电,建议上电过程电压保持单调上升。 $AVDD$ 和 $AVSS$ 之间与 $DVDD$ 和 $DGND$ 之间必须用一个至少 0.1 μF 电容去耦,建议使用具有低等效串联电阻(ESR)和电感(ESL)特性的多层陶瓷片式电容器(MLCC),将去耦电容放置在尽可能靠近器件电源引脚的位置。并联使用多个过孔降低整体电感,有利于接地层连接。

7.4.ADC 电路信息

模拟输入通道:

NSAD114x 具有灵活的输入选择开关阵列, 最大可允许高达 12 个模拟输入, 任意一个模拟输入 AINx, 都可配置为 PGA 的正输入或者负输入。

NSAD1148 有 8 个模拟输入(AIN0~AIN7), MUX IN 寄存器(00h)的 MUX_P[2:0] 配置 PGA 正输入, MUX_N[2:0]配置 PGA 负输入。

NSAD1147 有 4 个模拟输入(AIN0~AIN3), MUX IN 寄存器(00h) 的 MUX_P[2:0] 配置 PGA 正输入, MUX_N[2:0]配置 PGA 负输入。

NSAD1146 有 2 个模拟输入(AIN0~AIN1), 固定为 PGA 正输入为 AIN0, PGA 负输入为 AIN1

每个模拟输入端都具有对 AVDD 和 AVSS 的 ESD 二极管以保护模拟输入不受浪涌损坏, 因此, 加载在每个模拟输入端的电压绝对值应遵守下列条件:

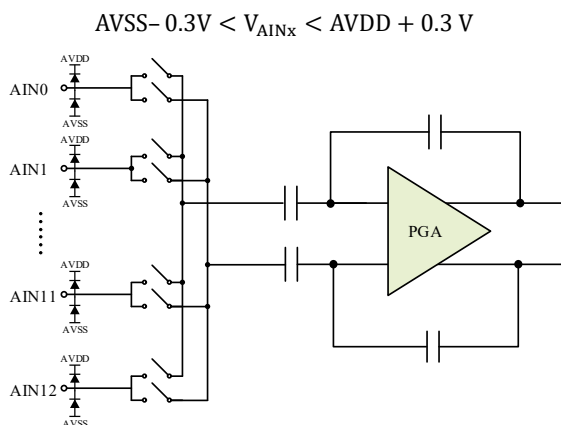


Figure 7-1 模拟输入结构框图

电压基准:

NSAD114x 内置精准, 低噪声, 低温漂的 2.048V 片上基准源, 该基准源的最大温漂为 10ppm/°C。另外, NSAD114x 提供了两组全差分的外部基准输入: REF0 和 REF1, 可用于选择外部电压基准, 或者用于比例测量(例如 RTD 应用)。基准源可通过 REFSELT[1:0] 位选择

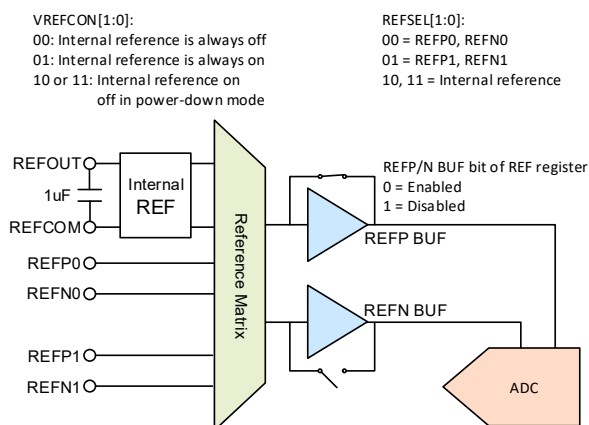


Figure 7-2 基准电压连接

内部基准:

NSAD1148/NSAD1146 提供了一个精密, 低噪声, 低温漂的 2.048V 片上带隙基准。它可通过 MUX_REF 寄存器(02h)中的 VREFCON[1:0]位使能或禁能:

将 VREFCON[1:0]设置为 00, 片上基准禁能。

将 VREFCON[1:0] 设置 01, 片上基准在连续转换模式下使能, 但在休眠模式下禁能。

将 VREFCON[1:0] 设置 10 或者 11, 片上基准在连续转换模式以及休眠模式下均使能。

片上基准具有±10mA 的电流驱动能力, 可以同时为外部电路提供基准电压, 需要在 REFOUT 和 REFCOM 引脚之间放置一个 1uF~47uF 的电容以保证片上基准稳定, 电容值越大则基准噪声越小, 但相应地, 建立时间也越长。因此在 ADC 上电以及从睡眠模式下唤醒时, 需要预留足够的延迟以保证第一个采样数据的正确。在选择内部基准并且需要频繁在睡眠模式和连续转换模式切换时, 可选择将 VREFCON[1:0] 设置 10 或者 11, 以节省重新上电所需要的建立时间, 但这会导致功率消耗相应的增加。

外部基准:

该 ADC 具有两组全差分的基准输入, REF0 和 REF1, 用户可通过 MUX_REF 寄存器(02h)中的 REFSELT[1:0] 位选择相应的通道, 具体为:

REFSELT[1:0] 位选择 00: 选择 REFP0/REFN0 通道(默认)

REFSELT[1:0] 位选择 01: 选择 REFP1/REFN1 通道(仅适用于 NSAD1148)

REFSELT[1:0] 位选择 10 或 11: 选择内部 2.048V 基准

ADC 具有基准电压缓冲器, 其中, 在 NSAD1148/NSAD1147/NSAD1146 中, REFP 缓冲器默认开启, REFN 缓冲器默认旁路, 在 NSAD1149 中, 可通过 REF_MON 寄存器(10h)中的 REFP_BUF 位和 REFN_BUF 位选择开启或关闭。

在基准电压缓冲器旁路时, REF0 和 REF1 的共模电压输入范围为 AVSS 到 AVDD, 缓冲器开启时, 需要额外的 100mV 裕量。NSAD114x 可以接受 0.5v 到 AVDD 之间的电压作为基准源。V_{REFPx}, V_{REFNx} 为 REFPx, REFNx 电压绝对值。

$$V_{REF_IN} = V_{REFPx} - V_{REFNx}$$

在没有缓冲的情况下, 基准输入偏置电流为 5.3uA/V。高输出阻抗的电压源(比例测量中的参考电阻)可能引起直流增益误差, 在这种情况下推荐使用内部或外部基准电压缓冲器。在外部输入电压源阻抗足够低的应用场合下(大部分电压基准), 不会给系统带来增益误差, 外部基准电压缓冲不是必需的。

REFP0, PREFN0 与 GPIO0, GPIO1 复用, REFP1, REFN1 与 AIN10, AIN11 复用。

可编程增益放大器(PGA):

NSAD114x 采用电容性可编程增益放大器(PGA), 增益可设置为 1, 2, 4, 8, 16, 32, 64, 128。NSAD114x 的容性 PGA 在所有增益下(1~128)具有至轨的输入共模范围。这样便可以从正电源轨至负电源轨的几乎任何地方对传感器共模电压进行偏置。

对于直流或低频信号, 容性 PGA 在输入端首先进行斩波, 将直流输入信号调制到斩波频率, 然后由容性放大器进行放大。最后, 信号通过输出去斩波解调回直流。由于斩波, 放大器的失调和闪烁噪声都被调制到斩波频率, 并在去斩波中低通滤波。因此容性 PGA 具有非常低的失调电压, 失调漂移和低频闪烁噪声。

在主 PGA 之前, 增加一级缓冲器(buffer)提供预充电(pre-charge), 最大程度地减小建立时间并提高输入阻抗, 该缓冲器同样是由斩波放大器构成的, 具有极低的漂移和低频闪烁噪声。

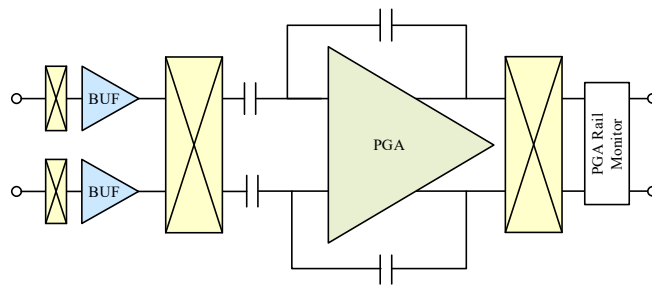


Figure 7-3 电容型可编程增益放大器

时钟源:

NSAD114x 集成了一个高精度低温漂的片上振荡器提供系统时钟, 频率为 4.096MHz, 在工作温度范围内保证±1.5%精度。另外, 还可选择经 CLK 引脚输入端的外部时钟源提供系统时钟。外部时钟源的频率范围为 4.096MHz±5%, 超出该频率范围, NSAD114x 可能无法保证正常工作时序。

NSAD114x 默认使用内部振荡器。用户可通过 REF_CTRL 寄存器(02h)中的 CLK 位选择内部 4.096 MHz 振荡器或外部时钟源。

在连续转换模式下(START 引脚为高电平或通过 SPI 发送 WAKEUP 命令后), 切换时钟源后, 当前的转换将被立即终止, 调制器, 数字滤波器会复位, 并重新开始一次新的转换以保证数据的正确。

Σ - Δ 调制器:

NSAD114x 使用 4-bit(-8~+8)的 Δ - Σ 调制器以高速($f_{\text{mod}} = f_{\text{CLK}} / 16$)频率运行将模拟输入电压转换为脉冲编码调制(PCM)数据流。其中 f_{CLK} 由内部 4.096 MHz 振荡器或外部时钟源提供。

数字滤波器:

NSAD114x 在 Δ - Σ 调制器后接一个数字滤波器,用于滤波和抽取来自 Σ - Δ 调制器的数据流。

NSAD1148/1147/1146 使用 LL 滤波器。

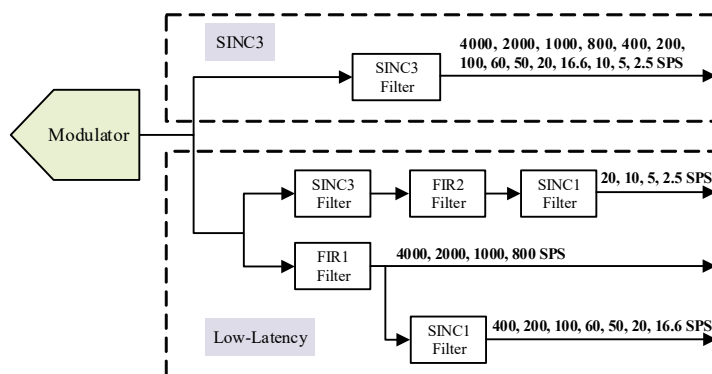


Figure 1 NSAD114x 滤波器结构框

低延迟滤波器(Low-Latency, LL):

低延迟滤波器是有限脉冲响应(FIR)滤波器,具有单周期建立的特性。因此在需要在多个通道切换采集的应用场合时,低延迟滤波器特别有用。另外,特殊设计的低延迟滤波器在输出速率为 20Hz, 10Hz, 5Hz 和 2.5Hz 的时候,具有 50Hz 和 60Hz 的同步陷波特特性,如[错误!未找到引用源。](#)所示,并且分别在 50Hz 和 60Hz 频率点各有两个深陷波频率点,在时钟源频率存在偏移时,保证依旧能够保证足够深的工频抑制。

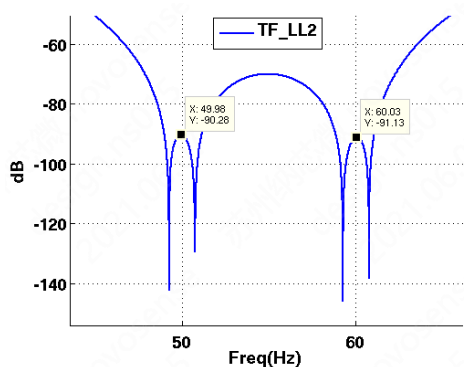


Figure 2 LL 滤波器幅频响应, 数据输出速率为 20

滤波器陷波和输出数据速率与时钟频率成比例,因此内部振荡器可以随温度变化。因此,数据速率、转换时间和滤波器陷波频率点会以相同的比例变化。如果期望获得更加精准的滤波器陷波频率点,请考虑使用外部精密时钟源。

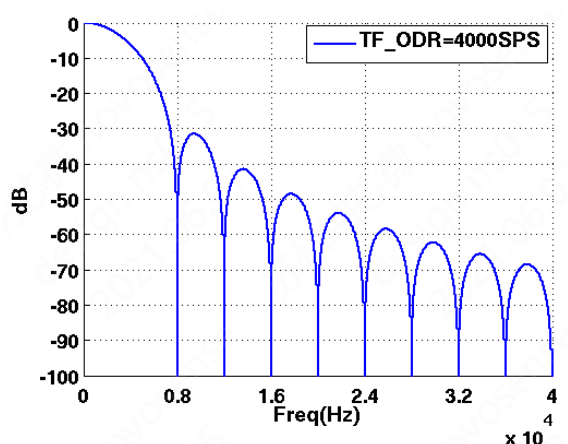


Figure 3 LL 滤波器幅频响应, 数据输出速率为 4000

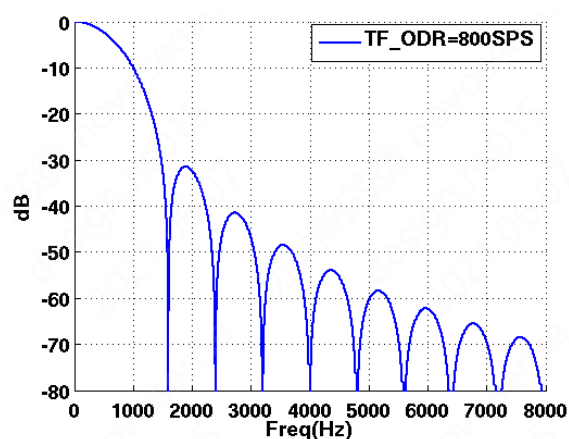


Figure 6 LL 滤波器幅频响应, 数据输出速率为 800

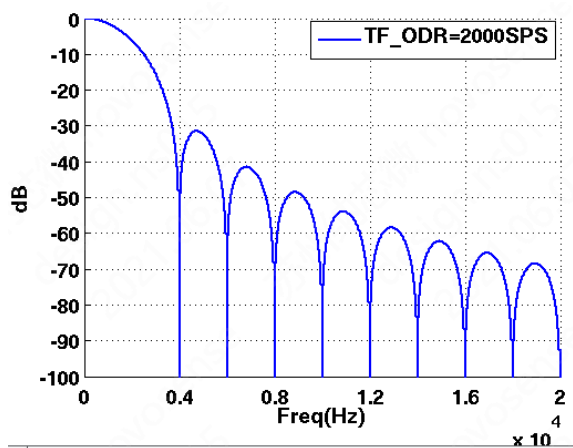


Figure 4 LL 滤波器幅频响应, 数据输出速率为 2000

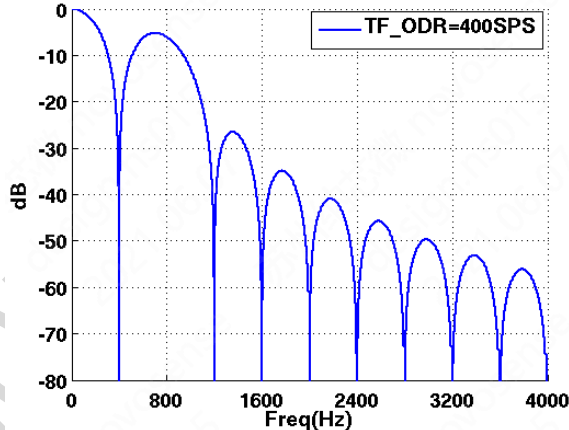


Figure 7 LL 滤波器幅频响应, 数据输出速率为 400

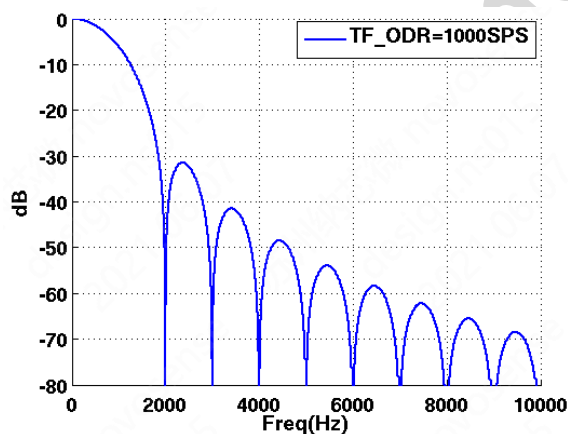


Figure 5 LL 滤波器幅频响应, 数据输出速率为 1000

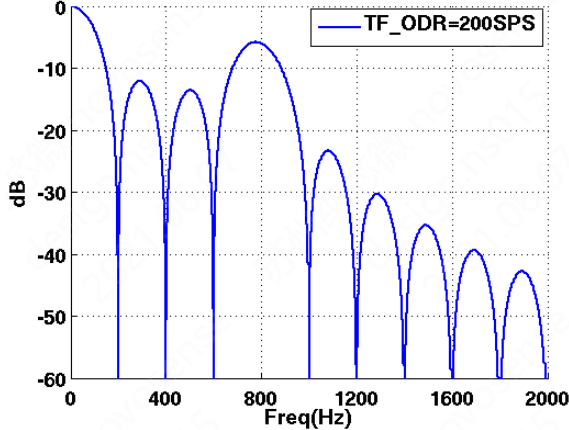


Figure 8 LL 滤波器幅频响应, 数据输出速率为 200

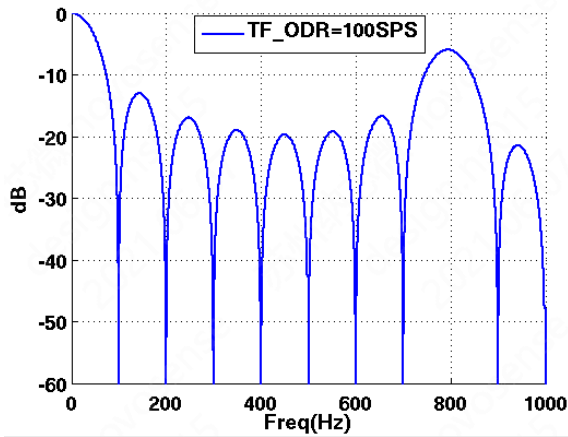


Figure 9 LL 滤波器幅频响应, 数据输出速率为 100

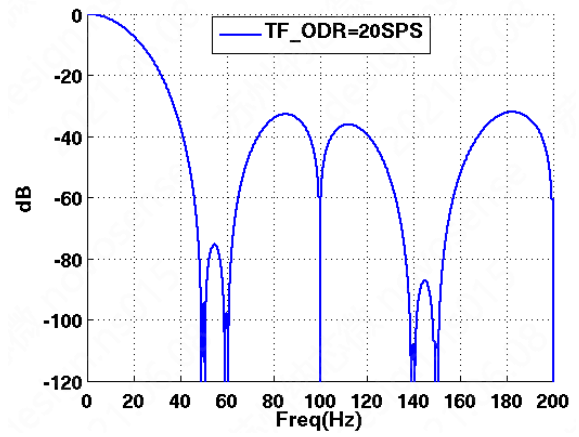


Figure 12 LL 滤波器幅频响应, 数据输出速率为 20

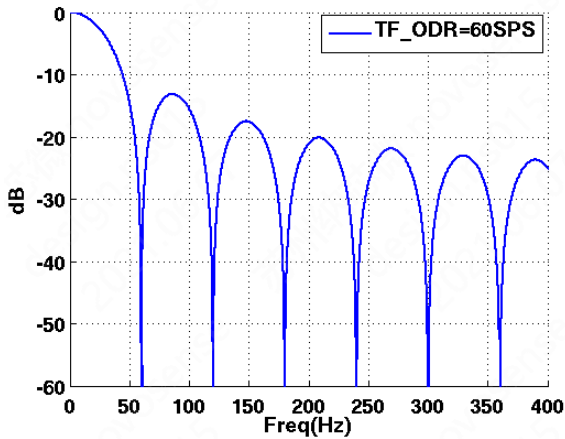


Figure 10 LL 滤波器幅频响应, 数据输出速率为 60

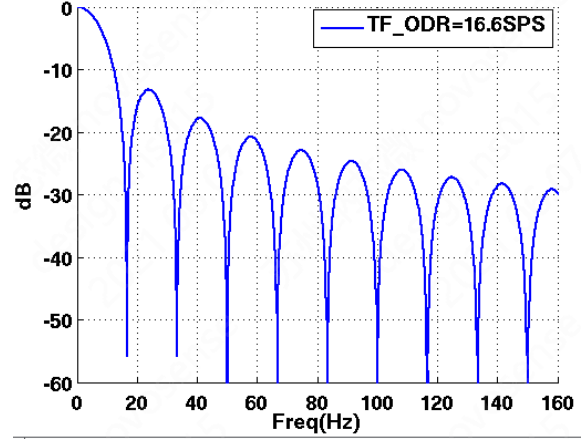


Figure 13 LL 滤波器幅频响应, 数据输出速率为 16.6

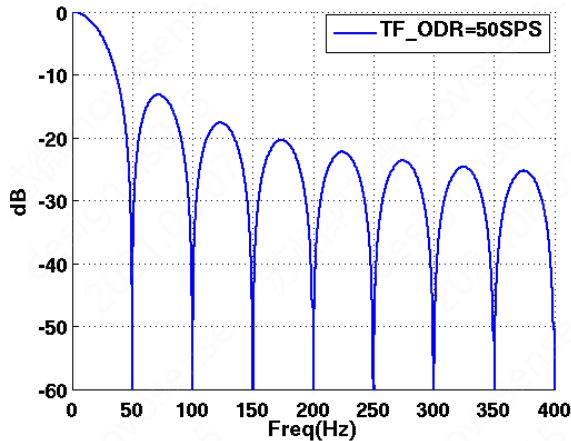


Figure 11 LL 滤波器幅频响应, 数据输出速率为 50

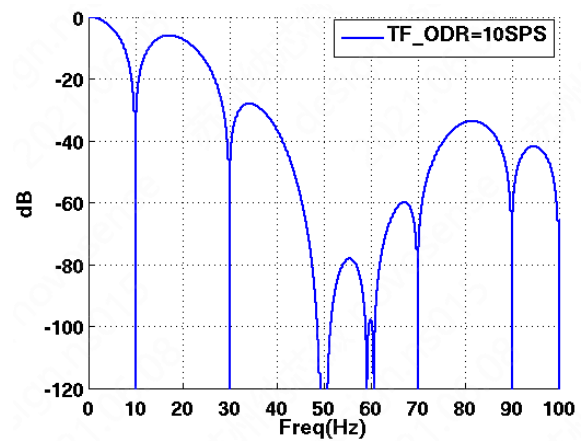


Figure 14 LL 滤波器幅频响应, 数据输出速率为 10

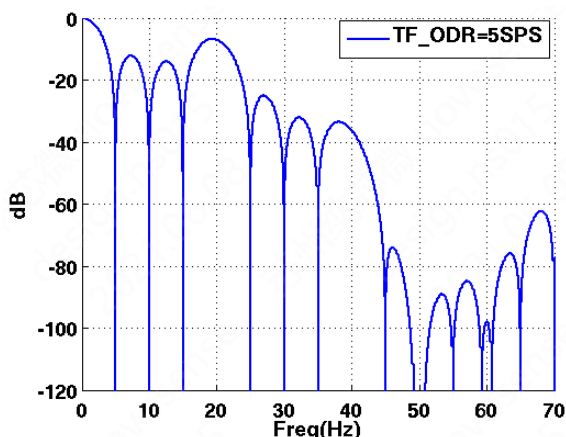


Figure 15 LL 滤波器幅频响应, 数据输出速率为 5

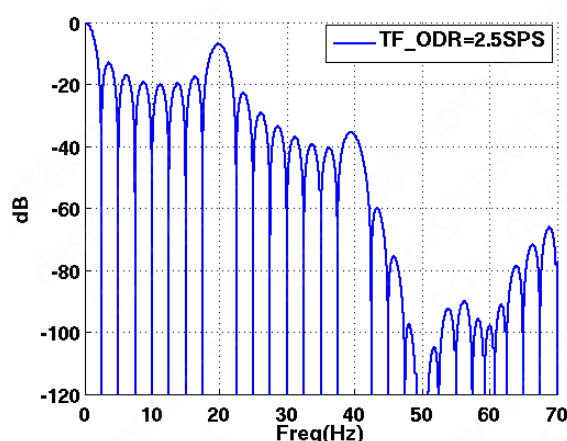


Figure 16 LL 滤波器幅频响应, 数据输出速率为 2.5

偏置电压发生器(Vbias):

NSAD114x 内部提供了一个偏置电压发生器 Vbias, 可通过 VBIAS 寄存器(01h)配置偏置电压加载至模拟输入端 AINx。其中, NSAD1148 可选择将偏置电压加载至 AIN0~AIN7, NSAD1147 可选择将偏置电压加载至 AIN0~AIN3, NSAD1146 可选择将偏置电压加载至 AIN0~AIN1。VBIAS 的典型用例是为浮空的电压信号例如热电偶提供一个偏置电压, 并保证处在 PGA 的共模输入电压范围内。偏置电压在 NSAD114x 内部缓冲, 可放置一个外部电容以降低噪声。外部电容越大, 则相应的 Vbias 建立时间越慢。偏置电压为 $(AVDD + AVSS)/2$ 。VBIAS 电压发生器和连接框图如图 Figure 7-1 所示。

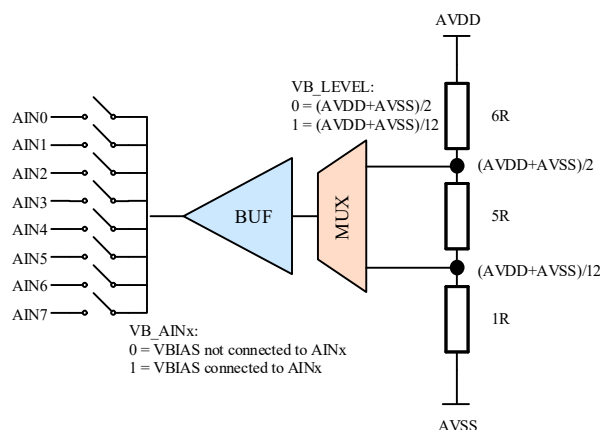


Figure 7-4 偏置电压发生器

激励电流源(IDACs):

NSAD1147, NSAD1148, NSAD1149 提供两个匹配的激励电流源(IDAC)。IDAC 的输出电流可编程 10 μ A, 50 μ A, 100 μ A, 250 μ A, 500 μ A, 750 μ A, 1000 μ A, 1500 μ A, 2000 μ A, 其中 10 μ A 和 2000 μ A 挡位为 NSAD1149 专有。两个匹配的电流源可以连接到任何模拟输入引脚, 同样可以连接到同一引脚(NSAD1147 可加载至 AIN0~AIN4; NSAD1148 可加载至 AIN0~AIN7; NSAD1149 可加载至 AIN0~AIN11)。激励源电流由内部基准产生, 因此使用激励电流源时, 必须使能内部基准。

系统监控及诊断:**电源监控功能**

NSAD114x 提供模拟电源(AVDD)和数字电源(DVDD)的监控。MUXCAL[2:0]置 110 时, 使能模拟电源监控, PGA 增益切换至 1, 与系统设置寄存器 03h 中的 PGA[2:0]比特位无关, PGA 的正输入端和负输入端从模拟输入通道断开, 并接至电阻串分压为 $(AVDD - AVSS) / 4$ 。

MUXCAL[2:0]置 111 时使能数字电源监控(DVDD- DGND)/ 4。

为了获得有效的电源监控功能读数, 在启用 DVDD 监控或 AVDD 监控功能时, 应当保证基准电压高于 $(DVDD - DGND) / 4$ 或 $(AVDD - AVSS) / 4$ 。

温度传感器

通过在 REF_MUX 寄存器(02h)中设置 MUX_CAL[2:0]=010 来启用内部温度传感器。温度传感器输出与电气特性表中指定的器件温度成比例的电压。测量内部温度传感器时, PGA 输入端与外部断开连接, 接至温度传感器的输出电压, PGA 在切换至温度采集时, 增益固定为 4, 以在工作温度范围内实现高信噪比采集。温度传感器功能可用于监控器件本身的温度, 较小的与 PCB 之间的热阻使得该温度传感器可以检测 PCB 的温度。

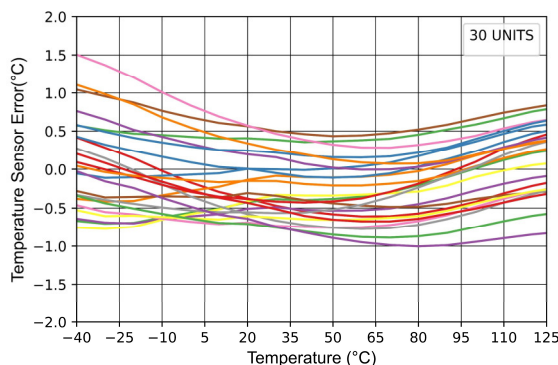


Figure 7-5 温度传感器误差与温度的关系

开路测试电流源

NSAD114x 集成了一个开路测试电流源(Burn-out Detect Current Source, BCS), 以帮助检测模拟输入端开路或短路故障。用户可以通过 MUX_IN 寄存器(00h)中的 BCS[1:0]位使能该电流源并设置电流大小。

BCS[1:0]位为 00 时, 开路测试(Burn-out)电流源禁能(默认)

BCS[1:0]位为 01 时, 开路测试(Burn-out)电流源使能, BCS 电流为 0.5μA

BCS[1:0]位为 10 时, 开路测试(Burn-out)电流源使能, BCS 电流为 2μA

BCS[1:0]位为 11 时, 开路测试(Burn-out)电流源使能, BCS 电流为 10μA

BCS 由两个电流源组合而成, 使能 BCS 时, 一个电流源从选定的正模拟输入端(AINP)拉电流, 另一个电流源从选定的负模拟输入端(AINN)灌电流。如果正模拟输入端和负模拟输入端之间开路, 正模拟输入端将被上拉至 AVDD, 负模拟输入端将被下拉至 AVSS, 产生 ADC 满量程转换结果。对应地, 如果正模拟输入端和负模拟输入端之间短路, 将产生 ADC 接近 0 的转换结果。在外部传感器输出电阻较大时, BCS 电流可能会引入额外的 IR 误差, 因此建议在进行精密测量时将其禁能, 仅在需要诊断时开启。

CRC校验

校验和为 8 位宽, 利用以下多项式产生:

$$x^8 + x^2 + x + 1$$

失调和增益校准:

NSAD114x 具有三种校准模式, 可使用校准来纠正 ADC 内部误差或整体系统误差。用户可以向 ADC 发送校准命令的方式进行校准。

校准应该在电源和基准电压建立稳定的条件下进行。如 Figure 17 所示, 数字滤波器输出减去失调校准(OFC)寄存器的值, 然后乘以满量程校准(FSC)寄存器值除以 400000h。然后将数据裁剪为 24 位值以提供最终输出。

当切换参考电压, PGA 增益和输入通道, 必要时应当重新进行校准。在系统增益校准之前应当先执行失调校准, 以保证校准的准确性。当 ADC 处于睡眠模式下时, 不响应校准命令。

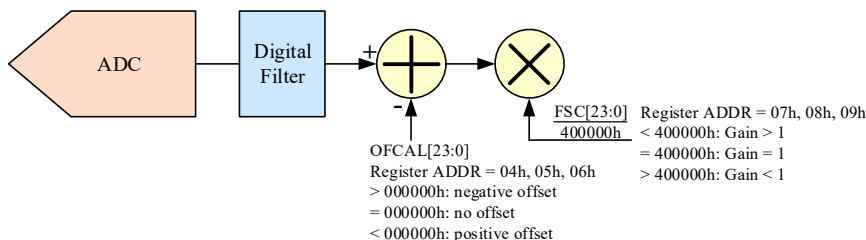


Figure 17 ADC 校准流程图

内部失调校准 (Self-Offset Calibration)

内部失调校准(Self-Offset Calibration)可通过发送 SELFOCAL((62h))命令进行。ADC 接收到 SELFOCAL(62h)命令第 8 个 SCLK 下降沿,内部失调校准当即启动。正在进行的转换被立即终止,DRDY 拉高,PGA 的正输入段和负输入端将从原来指定的模拟输入端断开连接,并短接到由内部偏置电压($AVDD - AVSS$)/2。PGA 的增益和数据输出速率由 SYS0 寄存器(03h)中的 PGA[2:0]和 ODR[3:0]决定,ADC 以当前的 ODR 连续转换 16 次后,计算平均值,并将其作失调校准值更新到 OFC 寄存器,DRDY 下降以指示内部失调校准已完成。

OFC 寄存器由三个 8 位寄存器组成,字长为 24bit。偏移值为二进制补码格式,最大正值等于 7FFFFh,最大负值等于 800000h。等于 000000h 的寄存器值对应没有失调,该值从每个输出数中减去,作为最终输出。如果使能了系统斩波功能,则忽略失调校准寄存器。需要注意的是,在进行增益校准之前,应执行失调校准。

系统失调校准 (System-Offset Calibration)

系统失调校准(System-Offset Calibration)可通过发送 SYSOCAL((60h))命令进行。ADC 接收到 SYSOCAL(60h)命令第 8 个 SCLK 下降沿,系统失调校准启动。正在进行的转换被立即终止,DRDY 拉高,与内部失调校准相区别的是,SYOCAL 是系统失调校准,输入为用户定义的系统零电平来校准失调,此时 PGA 的连接关系不变,由 MUX_IN 寄存器(00h)中的 MUXP[2:0]和 MUXN[2:0]决定。其他配置与模式与 SELFOCAL 相同,系统失调校准完成后,DRDY 下降,OFC 寄存器被自动更新。

系统增益校准 (System-Gain Calibration)

SYGCAL(61h)命令启动系统增益校准,ADC 接收到 SYGCAL(61h)命令第 8 个 SCLK 下降沿系统增益校准启动。正在进行的转换被立即终止,DRDY 拉高,NSAD114x 将此时模拟输入端的信号作为满量程信号,因此在系统增益校准中,需要由用户定义一个输入信号作为满量程输入信号,该信号可以超过基准电压,因此用户自定义的满量程输入信号可以大于基准电压/增益。但不得超出 $\pm 1.2 \times$ 基准电压/增益,同时正输入端和负输入端上的绝对电压值也不得超过 PGA 输入范围限制。否则 NSAD114x 将无法保证校准结果的正确。与失调校准类似,DRDY 下降指示校准完成,FSC 寄存器将更新。

FSC 寄存器由三个 8 位寄存器组成,字长为 24bit。增益校准值为二进制,增益校准系数为 $FSC[23:0]/400000h$,因此 $FSC[23:0]=400000h$ 时,表示增益系数为 1

通用输入输出 (GPIOs)

NSAD1149, NSAD1148 提供 8 个通用输入和输出(GPIO)引脚,NSAD1147 提供 4 个 GPIO 引脚。两个寄存器控制 GPIO 引脚的功能。使用 GPIO 配置寄存器(0Ch)的 CON[7:0] 比特位 (NSAD1147 为 CON[3:0])将使能对应引脚的 GPIO 功能。GPIO 方向寄存器(0Dh)的上 DIR[7:0]((NSAD1147 为 DIR[3:0]))将 GPIO 引脚配置为输入或输出。GPIO 数据寄存器(0Eh)的 DAT[7:0]((NSAD1147 为 DAT[3:0]))包含输入或输出 GPIO 数据。如果将 GPIO 引脚配置为输入,则相应的 DAT[x]位表示引脚的状态;如果 GPIO 引脚配置为输出,则将输出状态写入相应的 DAT[x] 位。当引脚配置为 GPIO 功能时,GPIO 由模拟电源供电,因此高电平为 AVDD,低电平为 AVSS。需要注意的是,用作输出时需要注意防止短路发生。

7.5. 数字接口

SPI

NSAD114x 带有全双工的四线 SPI 接口,用户通过该 SPI 接口读取转换数据以及配置和控制 ADC,为 SPI 模式 1 (CPOL=0, CPHA=1),和其他的 SPI 接口类似,NSAD114x 有 CS、SCLK、DIN、DOUT/DRDY 四个引脚,但 DOUT/DRDY 为功能复用引脚,将在本章详细讨论。

片选信号($\overline{CS}$)为低电平有效输入,即在低电平器件 SPI 通信使能,当多个器件共享 SPI 时可用于选择特定器件。当 CS 为高电平时,SPI 处于复位状态,SCLK 被忽略,DOUT/DRDY 进入高阻态。如果未与其他器件共享 SPI 时,则 CS 可以连接到 DGND 以使 SPI 始终保持使能状态,并可以节省引脚开销。

串行时钟(SCLK)用于为 ADC 的 SPI 接口提供时钟。数据在 SCLK 下降沿采样,上升沿更新。建议在在 SCLK 上串联一个小电阻以避免 SCLK 出现毛刺

串行数据输入 (DIN) 与 SCLK 一起使用,以向器件发送命令和寄存器数据。该器件将 DIN 数据在 SCLK 下降沿采样,在数据回读期间,如果没有命令,请将 DIN 保持在高电平(等效于 NOP 命令)。

DOUT/DRDY 是一个功能复用引脚,该引脚既可以用作常规数字数据输出(默认模式),也可以在 IDAC0(0Ah)中 DRDYM0D 比特位置 1 时,复用为 ADC 数据就绪指示功能。

当作为数字输出时,该引脚与 SCLK 一起使用,向外发送转换数据和寄存值,数据在上升沿更新。

当 DOUT 复用 ADC 数据就绪指示功能时,CS 为低电平,每当一次 ADC 转换完成时,DOUT/DRDY 和专用的 DRDY 引脚同时变为低电平,以指示新的转换数据就绪。这两个信号都可用于检测新数据是否准备就绪。但是,由于当 CS 为高电平时,DOUT/DRDY 进

入高阻状态,因此在 SPI 总线上监视多个器件上的转换时, DOUT 复用 ADC 数据就绪指示功能失效,此时需要使用专用 DRDY 引脚。

NSAD114x 提供 SPI 超时复位功能,用于 SPI 中断时恢复通信。系统控制寄存器 1 (12h) 的 TIMEOUT 比特位置 1 来启用该功能,启用 SPIg 超时复位功能后,如果 SPI 接口在 2^{15} 个 tCLK 中内未收到有效的 8 比特位时, SPI 接口复位。该功能在片选信号 (CS) 永久拉低的情况下非常有用。

DRDY

DRDY 是专用的转换数据就绪指示引脚,转换完成时, DRDY 将拉低表示数据就绪,在 DRDY 变为低电平后的连续转换模式下, DRDY 在第一个 SCLK 上升沿被驱动为高电平。如果未读取数据, DRDY 保持低电平,然后脉冲高 $24 \cdot \text{tCLK}$ 在下一个 DRDY 下降沿之前。必须在下次 DRDY 更新之前检索数据,否则数据将被新数据覆盖,并且任何以前的数据都将丢失。

命令

NSAD114x 提供 13 个命令来控制器件操作,如表格 1 所示。某些命令是独立的命令 (WAKEUP、SLEEP、SYNC、RESET、SYSOCAL、SYSGCAL 和 SELFOCAL) 还有三个附加命令用于控制从设备读取数据 (RDATA、RDATAc 和 SDATAc)。从器件读取 (RREG) 和写入 (WREG) 配置寄存器数据的命令需要作为指令的一部分提供其他信息。

表格 1 SPI 命令

命令	描述	第一个字节	第二个字节
WAKEUP	退出休眠模式	0000 000x (00h, 01h)	N/A
SLEEP	进入休眠模式	0000 001x (02h, 03h)	N/A
SYNC	同步 ADC 转换	0000 010x (04h, 05h)	0000 010x (04h, 05h)
RESET	复位	0000 011x (06h, 07h)	N/A
NOP	无操作	1111 1111 (FFh)	N/A
RDATA	读(一次)数据	0001 001x (12h, 13h)	N/A
RDATAc	使能连续读数据模式	0001 010x (14h, 15h)	N/A
SDATAc	禁能连续读数据模式	0001 011x (16h, 17h)	N/A
RREG	读寄存器值	001r rrrr (2xh)	000n nnnn
WREG	写寄存器值	010r rrrr (4xh)	000n nnnn
SYSOCAL	系统失调校准	0110 0000 (60h)	N/A
SYSGCAL	系统增益校准	0110 0001 (61h)	N/A
SELFOCAL	内部失调校准	0110 0010 (62h)	N/A

WAKEUP (0000 000x)

使用 WAKEUP 命令退出休眠模式。执行 WAKEUP 命令后, NSAD114x 在 WAKEUP 命令的第八个 SCLK 的下降沿唤醒。如果 START 引脚保持低电平,则 WAKEUP 命令将不会唤醒。

SLEEP (0000 001x)

SLEEP 命令将 NSAD114x 进入休眠模式。NSAD114x 接收到 SLEEP 命令,会完成当前转换后进入休眠。休眠模式下, NSAD114x 模拟电源将被关闭,但寄存器里的配置将被保存,以最小功耗运行,内部基准电压在休眠模式下由 VREFCON[1:0] 位决定是否关闭。发 WAKEUP 命令退出休眠模式。可以通过发出 WAKEUP 命令后跟 SLEEP 命令来执行单次转换。WAKEUP 和 SLEEP 命令在功能上等效于 START 引脚拉高或拉低,但如果 START 引脚保持低电平, WAKEUP 命令将失效。

SYNC (0000 010x)

NSAD114x 收到 SYNC 命令将立即复位 ADC 数字滤波器并启动一次新的转换。用户通过同时向多个 NSAD114x 发送 SYNC 命令来使各个 NSAD114x 同步,同步时刻发生在 SYNC 命令的第八个 SCLK 的下降沿。

RESET (0000 011X)

RESET 命令和 RESET 引脚功能类似但不完全相同,RESET 引脚拉低将会复位整个器件。RESET 命令会复位除 SPI 接口外的其他部分。由于 CS 拉高将复位 SPI。

发送 RESET 命令后拉高 CS 引脚,此时作用和 RESET 引脚翻转相同。

RDATA (0001 001x)

发出 RDATA 命令后跟 24 个 SCLK,NSAD114x 将返回 24bit 的转换结果,采用 RDATA 命令返回读取数据时,24bit 数据不会被新的转换打断,因此 RDATA 命令尤其适用于无法监控 DRDY 引脚下降沿时的应用场景。同样在 NSAD114x 在返回 24bit 数据时,SDI 将屏蔽任何命令,SPI 全双工失效,以保证数据的完整。此命令在 RDATA 模式下同样有效。

RDATA (0001 010x)

RDATA 命令将启用连续读取数据模式。这是复位的默认模式。在连续读取数据模式下,新的转换结果会自动加载到输出移位寄存器中。DRDY 信号由高变低指示新的转换完成,可以通过发送 SCLK 从 NSAD114x 读取转换结果。RDATA 命令必须在 DRDY 变为低电平后发出,并且该命令将在下一个 DRDY 上生效。请确保在 DRDY 返回低电平之前完成数据检索(转换结果或寄存器回读),否则生成的数据将损坏。在 RDATA 模式下,成功的寄存器读取操作需要了解下一个 DRDY 下降沿何时发生。

在这种数据检索方法中,ADC 转换数据直接从输出移位寄存器移出。无需任何命令。直接读取数据要求从 DRDY 的下降沿到回读时不会发生串行活动,否则数据无效。串行接口在直接读取数据模式下为全双工;这意味着在数据回读期间对命令进行解码。如果没有命令,请在回读期间保持 DIN 低。如果在回读期间发送输入命令,则 ADC 将执行该命令,并可能导致数据损坏。将数据回读同步到 DRDY 或 DOUT/DRDY,以确保在下次 DRDY 更新之前读取数据,或者用新数据覆盖旧数据。读取所有字节后,在发送后续 SCLK 时,将重复数据字节序列(包括 STATUS 字节和 CRC 字节,如果选定)。字节序列从第一个字节开始重复。

SDATA (0001 011x)

SDATA 命令终止连续读取数据模式。在终止连续读取数据模式下,当 DRDY 变为低电平时,转换结果不会自动加载到输出移位寄存器上,需要使用 RDATA 命令检索转换数据,不会因新的转换结果加载到输出移位寄存器中而中断。如果未主动监控 DRDY 的数据转换,则停止连续读取数据模式是读取数据的首选方法。在这种模式下,ADC 数据的读取不会因新 ADC 转换的完成而中断。

RREG (001r rrrr, 000n nnnn)

RREG 命令从寄存器读出数据,RREG 命令由两个字节组成,第一个命令字节:001r rrrr,其中 rrrr 是第一个要读取的寄存器地址。第二个命令字节:000n nnnn,其中 nnnn-1 是要读取的字节数。NSAD114x 收到两个 byte 字节后,将在 SDO 地址自增 1 地返回寄存器数值。返回如果偏移地址超过最后一个寄存器地址,将停留在最高地址。读出寄存器数据期间,NSAD114x 的 DIN 将屏蔽其他命令,即全双工失效,建议从寄存器读取的数据使用 NOP。

WREG (010r rrrr, 000n nnnn)

WREG 命令将数值写入寄存器,第一个命令字节:001r rrrr,其中 rrrr 是第一个要读取的寄存器地址。第二个命令字节:000n nnnn,其中 nnnn-1 是要读取的字节数。

SYSOCAL (0110 0000)

SYSOCAL 命令启动系统失调校准。对于系统失调校准,输入为用户定义的 0 电平,需要保证模拟正输入和模拟负输入需要处在共模输入范围内,校准完成后 OFC 寄存器将更新。

SYSGCAL (0110 0001)

SYSGCAL 命令启动系统增益校准。对于系统增益校准,输入为用户定义的满量程电平。校准完成后 FSC 寄存器将更新。

SELFOCAL (0110 0010)

SELFOCAL 命令启动内部失调校准。该器件在内部将输入短路至电源中间,并执行校准。校准完成后 OFC 寄存器将更新。

NOP (1111 1111)

这是一个无操作命令。接收到该命令不做任何操作,读取数据和寄存器可使用 NOP

8. 均方根噪声与分辨率

表格 9 显示的是 NSAD114x 在不同数据输出速率, 不同增益, 不同滤波器和是否启用系统斩波功能时的均方根噪声(峰峰值噪声)和有效分辨率(无噪声分辨率)。数据为 25℃, 2.5 V 外部基准, 差分输入电压为 0 V 产生的典型值。其中, 有效分辨率根据均方根噪声计算得出, 而无噪声分辨率(显示在括号中)则是根据峰峰值噪声(显示在括号中)计算得出。

$$Effective\ Resolution = \log_2 \left(\frac{Input\ Range}{RMS\ Noise} \right)$$

$$NoiseFree\ Resolution = \log_2 \left(\frac{Input\ Range}{PeaktoPeak\ Noise} \right)$$

表格 2 AVDD=5V, AVSS=0V, 2.5V 电压基准, 低延迟滤波器, 系统斩波关闭有效分辨率(无噪声分辨率)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	23.4(20.8)	23.4(20.7)	23.4(20.8)	23.3(20.8)	22.9(20.5)	22.3(19.8)	21.5(18.7)	20.5(18.0)
ODR=5	22.9(20.4)	22.9(20.4)	22.9(20.2)	22.8(20.3)	22.5(19.8)	21.8(19.2)	21.0(18.5)	20.0(17.2)
ODR=10	22.4(19.9)	22.4(20.1)	22.5(19.8)	22.3(19.8)	22.0(19.4)	21.3(18.8)	20.5(17.9)	19.5(16.8)
ODR=16	21.2(18.8)	21.2(18.8)	21.2(18.8)	21.5(19.0)	21.1(18.5)	20.6(18.2)	19.7(16.9)	18.7(16.0)
ODR=20	22.0(19.1)	21.9(19.2)	22.0(19.4)	21.8(19.2)	21.4(18.8)	20.8(18.2)	20.0(17.4)	18.9(16.5)
ODR=50	20.5(18.3)	20.6(18.1)	20.7(18.2)	21.0(18.5)	20.3(17.8)	19.7(17.1)	18.9(16.4)	18.0(15.2)
ODR=60	19.7(17.7)	19.7(17.6)	19.8(17.8)	20.1(17.8)	20.4(17.7)	19.5(16.9)	18.9(16.2)	17.8(15.3)
ODR=100	18.7(16.6)	18.7(16.6)	18.8(16.7)	18.8(16.7)	19.0(16.7)	19.1(16.6)	18.5(16.0)	17.4(14.9)
ODR=200	18.3(16.4)	18.3(16.4)	18.3(16.4)	18.4(16.3)	18.4(16.1)	18.3(15.8)	17.8(15.3)	16.9(14.1)
ODR=400	18.2(16.2)	18.2(16.1)	18.2(16.1)	18.1(15.9)	18.1(15.8)	17.8(15.4)	17.2(14.4)	16.3(13.7)
ODR=800	18.1(15.9)	18.0(15.9)	18.0(15.8)	18.0(15.8)	17.9(15.4)	17.5(15.1)	16.8(14.2)	15.8(12.9)
ODR=1000	18.0(15.8)	17.9(15.6)	18.0(15.6)	17.9(15.4)	17.7(15.2)	17.4(14.8)	16.6(14.0)	15.6(12.9)
ODR=2000	17.8(15.4)	17.9(15.5)	17.7(15.2)	17.6(15.0)	17.2(14.6)	16.4(13.9)	15.6(12.9)	14.5(11.8)
ODR=4000	16.8(14.3)	16.8(14.4)	16.7(14.1)	16.4(13.9)	16.0(13.4)	15.1(12.5)	14.3(11.4)	13.2(10.6)

表格 3 AVDD=5V, AVSS=0V, 2.5V 电压基准, 低延迟滤波器, 系统斩波关闭 RMS 噪声(峰峰值噪声)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	0.46(2.7)	0.23(1.4)	0.11(0.67)	0.06(0.37)	0.04(0.23)	0.03(0.18)	0.03(0.16)	0.03(0.16)
ODR=5	0.63(3.6)	0.32(1.8)	0.16(0.96)	0.09(0.52)	0.05(0.32)	0.04(0.25)	0.04(0.23)	0.04(0.23)
ODR=10	0.88(5.1)	0.44(2.6)	0.22(1.3)	0.12(0.73)	0.08(0.46)	0.06(0.37)	0.05(0.32)	0.05(0.32)
ODR=16	1.1(6.4)	0.54(3.2)	0.27(1.6)	0.15(0.89)	0.09(0.57)	0.07(0.44)	0.07(0.4)	0.07(0.41)
ODR=20	1.2(7.2)	0.62(3.7)	0.3(1.9)	0.17(1.0)	0.11(0.65)	0.08(0.5)	0.08(0.46)	0.08(0.48)
ODR=50	2.3(14)	1.1(6.3)	0.5(3.0)	0.27(1.6)	0.22(1.4)	0.16(0.99)	0.14(0.86)	0.15(0.9)
ODR=60	2.4(15)	1.2(6.9)	0.55(3.3)	0.29(1.7)	0.23(1.5)	0.18(1.1)	0.17(0.99)	0.18(1.1)
ODR=100	3.2(19)	1.7(10)	0.8(4.8)	0.39(2.3)	0.28(1.7)	0.24(1.4)	0.19(1.2)	0.21(1.3)
ODR=200	5.1(30)	2.6(15)	1.3(7.9)	0.66(4.0)	0.48(2.9)	0.42(2.5)	0.29(1.7)	0.31(1.8)
ODR=400	7.5(45)	3.7(22)	1.9(11)	1.0(6.2)	0.65(3.9)	0.57(3.5)	0.5(3.0)	0.46(2.7)
ODR=800	9.9(59)	5.3(32)	2.7(16)	1.5(8.9)	0.89(5.4)	0.8(4.5)	0.65(3.9)	0.64(3.8)
ODR=1000	12(70)	6.1(37)	3.1(18)	1.7(10)	1.1(6.6)	0.91(5.4)	0.76(4.6)	0.77(4.6)
ODR=2000	16(96)	7.7(46)	4.4(26)	2.4(15)	2.0(12)	1.8(10)	1.6(9.7)	1.6(9.6)
ODR=4000	44(253)	21(128)	11(67)	6.8(41)	4.6(29)	4.4(26)	3.9(24)	4.1(25)

表格 4 AVDD=5V, AVSS=0V, 2.5V 电压基准, 低延迟滤波器, 系统斩波开启有效分辨率(无噪声分辨率)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	24.1(21.7)	23.8(20.8)	23.8(21.2)	23.7(21.0)	23.4(21.0)	22.9(20.5)	22.0(19.2)	21.0(18.3)
ODR=5	23.2(20.5)	23.3(20.8)	23.3(20.8)	23.4(20.7)	22.9(20.3)	22.4(19.8)	21.4(18.8)	20.4(17.7)
ODR=10	22.8(20.1)	23.0(20.4)	23.0(20.4)	22.8(20.1)	22.4(19.8)	21.7(19.1)	20.9(18.3)	20.0(17.3)
ODR=16	22.2(19.5)	22.4(19.6)	22.4(19.7)	22.5(20.0)	21.7(19.4)	21.0(18.5)	20.2(17.6)	19.2(16.7)
ODR=20	22.6(20.0)	22.6(20.0)	22.5(19.4)	22.4(19.8)	22.0(19.2)	21.3(18.6)	20.5(18.1)	19.4(16.8)
ODR=50	22.0(19.1)	21.9(19.2)	21.9(19.4)	21.4(18.9)	21.0(18.5)	20.4(17.8)	19.4(16.9)	18.5(15.9)
ODR=60	22.0(19.3)	22.0(19.2)	21.9(19.4)	21.6(18.8)	20.9(18.4)	20.0(17.5)	19.3(16.8)	18.4(15.8)
ODR=100	21.8(19.2)	21.8(19.1)	21.8(19.2)	21.3(18.9)	20.8(18.4)	20.0(17.1)	19.0(16.2)	17.9(15.4)
ODR=200	21.0(18.4)	21.1(18.3)	21.0(18.4)	20.8(18.1)	20.3(17.5)	19.4(16.9)	18.5(15.7)	17.5(15.0)
ODR=400	20.5(18.0)	20.4(17.8)	20.3(17.8)	20.2(17.6)	19.5(16.8)	18.7(16.0)	18.1(15.5)	17.1(14.6)
ODR=800	20.1(17.6)	20.0(17.5)	19.9(17.2)	19.6(17.1)	19.1(16.6)	18.3(15.7)	17.4(14.8)	16.4(13.6)
ODR=1000	19.9(17.4)	19.8(17.3)	19.7(17.2)	19.4(16.8)	18.8(16.2)	18.0(15.3)	17.2(14.7)	16.2(13.4)
ODR=2000	18.8(16.4)	18.7(16.2)	18.6(15.9)	18.0(15.4)	17.5(15.0)	16.8(14.4)	16.0(13.5)	15.0(12.5)
ODR=4000	17.5(14.8)	17.4(14.9)	17.2(14.8)	16.6(14.2)	16.3(13.8)	15.5(12.8)	14.7(12.3)	13.7(11.2)

表格 5 AVDD=5V, AVSS=0V, 2.5V 电压基准, 低延迟滤波器, 系统斩波开启 RMS 噪声(峰峰值噪声)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	0.3(1.8)	0.17(1.0)	0.09(0.53)	0.05(0.27)	0.03(0.17)	0.02(0.12)	0.02(0.11)	0.02(0.11)
ODR=5	0.5(3.0)	0.25(1.5)	0.12(0.74)	0.06(0.34)	0.04(0.24)	0.03(0.18)	0.03(0.16)	0.03(0.17)
ODR=10	0.67(4.0)	0.29(1.8)	0.15(0.88)	0.08(0.51)	0.06(0.34)	0.05(0.27)	0.04(0.24)	0.04(0.23)
ODR=16	0.74(4.5)	0.35(2.1)	0.18(1.1)	0.1(0.59)	0.07(0.41)	0.05(0.32)	0.05(0.28)	0.05(0.29)
ODR=20	0.8(4.8)	0.4(2.4)	0.21(1.3)	0.11(0.65)	0.08(0.46)	0.06(0.36)	0.05(0.32)	0.06(0.35)
ODR=50	1.1(6.4)	0.57(3.4)	0.27(1.6)	0.17(1.0)	0.13(0.78)	0.11(0.68)	0.12(0.7)	0.11(0.65)
ODR=60	1.1(6.8)	0.59(3.5)	0.28(1.7)	0.18(1.1)	0.14(0.83)	0.12(0.72)	0.12(0.73)	0.12(0.7)
ODR=100	1.4(8.5)	0.68(4.1)	0.34(2.0)	0.24(1.4)	0.17(1.0)	0.15(0.89)	0.14(0.86)	0.16(0.95)
ODR=200	2.4(15)	1.1(6.6)	0.58(3.5)	0.34(2.1)	0.25(1.5)	0.22(1.3)	0.22(1.3)	0.21(1.2)
ODR=400	3.4(21)	1.8(11)	0.94(5.7)	0.53(3.2)	0.42(2.5)	0.37(2.2)	0.29(1.7)	0.28(1.7)
ODR=800	4.4(26)	2.4(15)	1.3(7.8)	0.8(4.8)	0.57(3.4)	0.49(3.0)	0.45(2.7)	0.45(2.7)
ODR=1000	5.3(32)	2.7(16)	1.4(8.6)	0.92(5.5)	0.69(4.1)	0.58(3.5)	0.52(3.1)	0.53(3.2)
ODR=2000	11(64)	5.8(35)	3.1(18)	2.3(14)	1.7(9.9)	1.4(8.3)	1.2(7.3)	1.2(7.1)
ODR=4000	27(163)	15(88)	8.2(49)	6.1(36)	3.9(23)	3.3(20)	2.9(18)	2.9(17)

表格 6 AVDD=5V, AVSS=0V, 2.5V 电压基准, SINC3 滤波器, 系统斩波关闭有效分辨率(无噪声分辨率)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	23.9(21.3)	23.9(21.3)	24.0(21.4)	23.9(21.3)	23.5(20.9)	22.9(20.3)	22.2(19.6)	21.0(18.5)
ODR=5	23.6(21.0)	23.6(21.1)	23.6(21.0)	23.4(20.8)	23.1(20.5)	22.4(19.8)	21.7(19.1)	20.6(18.0)
ODR=10	23.1(20.5)	23.1(20.5)	23.0(20.4)	22.9(20.3)	22.6(20.0)	21.9(19.3)	21.1(18.5)	20.2(17.6)
ODR=16	22.7(20.1)	22.9(20.3)	22.7(20.2)	22.5(20.0)	22.3(19.7)	21.7(19.2)	20.8(18.2)	19.8(17.2)
ODR=20	22.5(19.9)	22.7(20.1)	22.6(20.0)	22.3(19.7)	22.0(19.5)	21.6(19.0)	20.5(18.0)	19.6(17.0)
ODR=50	22.0(19.4)	21.9(19.3)	21.9(19.3)	21.8(19.2)	21.4(18.8)	20.8(18.3)	20.0(17.5)	19.0(16.4)
ODR=60	21.7(19.1)	21.7(19.1)	21.7(19.1)	21.6(19.0)	21.3(18.7)	20.7(18.1)	19.8(17.2)	18.9(16.3)
ODR=100	21.3(18.8)	21.3(18.7)	21.3(18.8)	21.2(18.6)	21.0(18.5)	20.4(17.8)	19.4(16.8)	18.5(15.9)
ODR=200	20.5(17.9)	20.6(18.0)	20.5(17.9)	20.6(18.0)	20.3(17.8)	19.8(17.2)	18.9(16.4)	17.9(15.3)
ODR=400	19.7(17.1)	19.6(17.0)	19.6(17.0)	19.5(16.9)	19.6(17.0)	19.1(16.5)	18.1(15.5)	17.1(14.6)
ODR=800	19.2(16.6)	19.3(16.7)	19.0(16.5)	19.1(16.6)	19.0(16.4)	18.7(16.1)	17.6(15.0)	16.6(14.1)
ODR=1000	19.0(16.4)	19.2(16.6)	19.0(16.4)	19.0(16.4)	18.7(16.1)	18.4(15.9)	17.4(14.8)	16.5(13.9)
ODR=2000	19.0(16.4)	18.8(16.2)	18.8(16.2)	18.7(16.2)	18.5(15.9)	17.9(15.3)	16.9(14.3)	16.0(13.4)
ODR=4000	18.5(15.9)	18.4(15.8)	18.3(15.7)	18.2(15.6)	17.7(15.1)	17.0(14.4)	15.9(13.3)	15.0(12.4)

表格 7 AVDD=5V, AVSS=0V, 2.5V 电压基准, SINC3 滤波器, 系统斩波关闭 RMS 噪声(峰峰值噪声)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	0.32(1.9)	0.16(0.98)	0.08(0.46)	0.04(0.24)	0.03(0.16)	0.02(0.12)	0.02(0.1)	0.02(0.11)
ODR=5	0.4(2.4)	0.19(1.1)	0.1(0.59)	0.06(0.35)	0.03(0.21)	0.03(0.17)	0.02(0.14)	0.02(0.14)
ODR=10	0.56(3.3)	0.27(1.6)	0.15(0.89)	0.08(0.47)	0.05(0.3)	0.04(0.24)	0.03(0.21)	0.03(0.2)
ODR=16	0.73(4.4)	0.32(1.9)	0.18(1.1)	0.1(0.61)	0.06(0.37)	0.04(0.27)	0.04(0.26)	0.04(0.26)
ODR=20	0.87(5.2)	0.36(2.2)	0.2(1.2)	0.12(0.73)	0.07(0.43)	0.05(0.29)	0.05(0.31)	0.05(0.3)
ODR=50	1.2(7.1)	0.63(3.8)	0.31(1.9)	0.17(1.0)	0.11(0.67)	0.08(0.5)	0.07(0.43)	0.08(0.46)
ODR=60	1.5(9.1)	0.75(4.5)	0.37(2.2)	0.2(1.2)	0.12(0.72)	0.09(0.54)	0.09(0.52)	0.08(0.47)
ODR=100	1.9(11)	0.99(6.0)	0.47(2.8)	0.27(1.6)	0.15(0.87)	0.12(0.7)	0.11(0.66)	0.11(0.64)
ODR=200	3.4(20)	1.6(9.5)	0.83(5.0)	0.4(2.4)	0.24(1.4)	0.18(1.1)	0.16(0.93)	0.16(0.96)
ODR=400	6.0(36)	3.1(19)	1.6(9.4)	0.85(5.1)	0.4(2.4)	0.27(1.6)	0.28(1.7)	0.27(1.6)
ODR=800	8.3(50)	4.0(24)	2.3(14)	1.1(6.5)	0.59(3.6)	0.38(2.3)	0.4(2.4)	0.38(2.3)
ODR=1000	9.5(57)	4.2(25)	2.4(14)	1.2(7.4)	0.72(4.3)	0.44(2.6)	0.44(2.6)	0.41(2.5)
ODR=2000	9.7(58)	5.5(33)	2.8(17)	1.4(8.5)	0.85(5.1)	0.66(3.9)	0.64(3.9)	0.6(3.6)
ODR=4000	14(82)	7.4(45)	3.9(23)	2.1(12)	1.5(9.0)	1.2(7.2)	1.3(7.7)	1.2(7.0)

表格 8 AVDD=5V, AVSS=0V, 2.5V 电压基准, SINC3 滤波器, 系统斩波开启有效分辨率(无噪声分辨率)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	24.5(21.9)	24.4(21.9)	24.5(22.0)	24.3(21.7)	24.0(21.5)	23.6(21.0)	22.6(20.0)	21.6(19.0)
ODR=5	24.1(21.5)	24.1(21.5)	23.9(21.3)	23.8(21.3)	23.6(21.0)	23.0(20.4)	22.2(19.6)	21.0(18.4)
ODR=10	23.6(21.0)	23.6(21.0)	23.4(20.8)	23.5(20.9)	23.0(20.4)	22.5(19.9)	21.6(19.0)	20.7(18.1)
ODR=16	23.3(20.7)	23.4(20.8)	23.2(20.6)	23.2(20.6)	22.8(20.2)	22.1(19.5)	21.2(18.6)	20.2(17.6)
ODR=20	23.2(20.6)	23.1(20.5)	23.0(20.4)	23.1(20.5)	22.6(20.0)	22.0(19.4)	21.1(18.5)	20.0(17.4)
ODR=50	22.5(19.9)	22.4(19.9)	22.5(19.9)	22.4(19.8)	22.0(19.4)	21.3(18.7)	20.5(17.9)	19.4(16.8)
ODR=60	22.4(19.8)	22.4(19.8)	22.3(19.7)	22.2(19.6)	21.9(19.3)	21.2(18.6)	20.3(17.7)	19.3(16.7)
ODR=100	22.0(19.5)	22.1(19.5)	22.0(19.4)	21.8(19.2)	21.5(19.0)	20.9(18.3)	20.0(17.4)	18.8(16.3)
ODR=200	21.8(19.3)	21.8(19.3)	21.7(19.1)	21.5(18.9)	21.1(18.6)	20.2(17.6)	19.3(16.8)	18.4(15.8)
ODR=400	21.4(18.8)	21.4(18.8)	21.3(18.7)	21.2(18.6)	20.7(18.1)	19.9(17.3)	19.0(16.4)	18.1(15.5)
ODR=800	20.7(18.1)	20.6(18.0)	20.7(18.1)	20.4(17.8)	20.0(17.4)	19.2(16.7)	18.6(16.0)	17.5(14.9)
ODR=1000	20.5(17.9)	20.4(17.9)	20.5(17.9)	20.2(17.6)	19.8(17.2)	19.0(16.4)	18.3(15.7)	17.4(14.8)
ODR=2000	20.1(17.5)	20.1(17.5)	20.0(17.4)	19.7(17.1)	19.2(16.6)	18.4(15.9)	17.5(14.9)	16.6(14.0)
ODR=4000	19.5(16.9)	19.5(16.9)	19.5(16.9)	19.0(16.4)	18.4(15.8)	17.4(14.8)	16.6(14.0)	15.6(13.0)

表格 9 AVDD=5V, AVSS=0V, 2.5V 电压基准, SINC3 滤波器, 系统斩波开启 RMS 噪声 (峰峰值噪声)

	GAIN=1	GAIN=2	GAIN=4	GAIN=8	GAIN=16	GAIN=32	GAIN=64	GAIN=128
ODR=2.5	0.21(1.3)	0.11(0.65)	0.05(0.31)	0.03(0.18)	0.02(0.11)	0.01(0.08)	0.01(0.07)	0.01(0.07)
ODR=5	0.28(1.7)	0.14(0.84)	0.08(0.47)	0.04(0.25)	0.03(0.15)	0.02(0.12)	0.02(0.1)	0.02(0.11)
ODR=10	0.39(2.3)	0.2(1.2)	0.11(0.67)	0.05(0.32)	0.04(0.22)	0.03(0.15)	0.02(0.15)	0.02(0.14)
ODR=16	0.5(3.0)	0.23(1.4)	0.13(0.78)	0.06(0.39)	0.04(0.27)	0.04(0.21)	0.03(0.19)	0.03(0.19)
ODR=20	0.52(3.1)	0.27(1.6)	0.15(0.88)	0.07(0.43)	0.05(0.3)	0.04(0.22)	0.04(0.21)	0.04(0.23)
ODR=50	0.83(5.0)	0.44(2.6)	0.22(1.3)	0.11(0.68)	0.08(0.46)	0.06(0.37)	0.05(0.32)	0.06(0.33)
ODR=60	0.92(5.5)	0.46(2.7)	0.24(1.4)	0.13(0.76)	0.08(0.48)	0.07(0.4)	0.06(0.36)	0.06(0.36)
ODR=100	1.2(6.9)	0.57(3.4)	0.3(1.8)	0.17(1.0)	0.1(0.61)	0.08(0.48)	0.08(0.45)	0.08(0.5)
ODR=200	1.3(8.0)	0.66(4.0)	0.36(2.2)	0.22(1.3)	0.14(0.81)	0.13(0.78)	0.12(0.71)	0.11(0.69)
ODR=400	1.9(11)	0.91(5.5)	0.48(2.9)	0.27(1.6)	0.18(1.1)	0.16(0.96)	0.15(0.88)	0.14(0.84)
ODR=800	2.9(17)	1.6(9.6)	0.75(4.5)	0.46(2.7)	0.29(1.8)	0.25(1.5)	0.2(1.2)	0.21(1.3)
ODR=1000	3.4(20)	1.8(11)	0.85(5.1)	0.51(3.1)	0.35(2.1)	0.29(1.8)	0.24(1.5)	0.23(1.4)
ODR=2000	4.4(26)	2.2(13)	1.2(7.3)	0.75(4.5)	0.52(3.1)	0.44(2.6)	0.42(2.5)	0.39(2.3)
ODR=4000	6.7(40)	3.3(20)	1.7(10)	1.2(7.3)	0.92(5.5)	0.9(5.4)	0.79(4.7)	0.79(4.7)

9. 寄存器表

9.1.NSAD1146 寄存器汇总

ADDRESS	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	Reset Value
00h	MUX IN	R/W		R						01h
		BCS[1:0]		RESERVED						
01h	VBIAS	R				R/W				00h
		RESERVED				VBIAS[3:0]				
02h	REF CTRL	R/W	R/W		R/W		R/W			00h
		CLK	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]			
03h	SYS0	R	R/W			R/W				04h
		RESERVED	PGA[2:0]			DR[3:0]				
04h	OFC0	R/W OFC[7:0] OFC[15:8] OFC[23:16]								000000h
05h	OFC1									
06h	OFC2									
07h	FSC0	R/W FSC[7:0] FSC[15:8] FSC[23:16]								400000h
08h	FSC1									
09h	FSC2									
0Ah	ID	R				R/W	R			10h
		ID[3:0]				DRDYMOD	RESERVED			

开路电流配置寄存器(BCS)

address = 00h

Power-On/Reset = 01h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W		R					
BCS[1:0]		RESERVED, Always=01h					

位	位名称	描述
[7:6]	BCS[1:0]	开路测试电流源控制 这几个比特设置开率测试电流源 00: 开路测试电流源禁能(默认) 01: 开路测试电流源使能, 0.5μA 10: 开路测试电流源使能, 2μA 11: 开路测试电流源使能, 10μA
[5:0]	RESERVED	保留位, 始终为 01h

偏置电压配置寄存器(VBIAS)

address = 01h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R						R/W	
RESERVED, Always=0h						VBIAS[1:0]	

位	位名称	描述
7:2	RESERVED	保留位, 始终为 0h
1:0	VBIAS[1:0]	内部偏置电压发生器控制 内部偏置电压可以在多个通道上使能 AINx 通道上的偏置电压。置 1 时, 内部偏置电压加载到 AINx 0: 偏置电压 Vbias 禁能(默认) 1: 偏置电压 Vbias 加载到 AINx(x = 0,1)

基准控制寄存器(REFCTRL)

address = 02h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W	R/W		R/W		R/W		
CLK	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]		

位	位名称	描述
7	CLK	时钟源选择 配置时钟源,选择片内 4.096MHz 或者是经由 CLK 引脚输入的外部时钟源 0: 内部时钟源(默认) 1: 外部时钟源
[6:5]	VREFCON[1:0]	内部基准控制 这些比特位控制内部电压基准,控制片内电压基准开启或者关闭,或者是根据器件所处状态开启或关闭 00: 内部电压基准常关(默认) 01: 内部电压基准常开 10 或 11: 内部电压基准在连续转换模式下开启,睡眠模式下关闭
[4:3]	REFSELT[1:0]	基准电压选择控制 这些比特位选择 ADC 基准电压输入通道 00: 选择 REFPO/REFNO 基准输入 01: 选择 REFP1/REFN1 基准输入 10 或 11: 选择内部基准
[2:0]	MUXCAL[2:0]	系统监控功能控制 这些比特位选择系统监控器功能,在启用系统监控功能时,可能会抢断 MUX IN, VREFCON, REFSELT 配置 000: 正常操作, 系统监控功能关闭(默认) 001: 失调校准, 模拟输入端从输入断开,内部短接至 (AVDD-AVSS)/2 电平. 010: 增益校准, 模拟输入端连接至电压基准. 011: 温度测量, 模拟输入端连接至内部温度传感器.

Table 1 MUXCAL Settings

MUXCAL[2:0]	PGA GAIN SETTING	PGA INPUT
000	由 SYS0 寄存器中 PGA[2:0]控制	正常操作
001	由 SYS0 寄存器中 PGA[2:0]控制	内部短接至(AVDD-AVSS) /2
010	自动设置为 1	V(REFP) – V(REFN)
011	自动设置为 4	内部温度传感器

系统控制寄存器 0(SYS0)

address = 03h

Power-On/Reset = 04h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R	R/W			R/W			
RESERVED	PGA[2:0]			DR[3:0]			

位	位名称	描述
7	RESERVED	保留位, 始终为 0h
[6:5]	PGA[2:0]	PGA 增益设置 这些比特位设置 PGA 的增益 000: PGA = 1(默认) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128
[3:0]	DR[3:0]	数据输出速率设置 这些比特位设置 ADC 的数据输出速率 0000: 2.5 SPS 0001: 5 SPS 0010: 10 SPS 0011: 16.6 SPS 0100: 20 SPS(默认) 0101: 50SPS 0110: 60 SPS 0111: 100 SPS 1000: 200 SPS 1001: 400 SPS 1010: 800 SPS 1011: 1000 SPS 1100: 2000 SPS 1101: 4000 SPS 1110 or 1111: 4000 SPS

失调校准系数寄存器(OFC)

address = 04h, 05h, 06h

Power-On/Reset = 00h, 00h, 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]							

增益校准系数寄存器(FSC)

address = 07h, 08h, 09h

Power-On/Reset = 00h, 00h, 40h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]							

ID 寄存器(ID)

address = 0Ah

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W	R		
ID[3:0]				DRDYM0D	RESERVED		

位	位名称	描述
7:4	ID[3:0]	NSAD114x 识别号 0000: NSAD1149 0001: NSAD1148 0010: NSAD1147 0011: NSAD1146
3	DRDYM0D	DOUT/DRDY 引脚模式选择 该比特位设置 DOUT/DRDY 功能, 专用 DRDY 引脚始终保持数据就绪功能 0: DOUT/DRDY 引脚仅为数据输出功能(默认) 1: DOUT/DRDY 引脚复用数据输出功能和数据就绪两种功能
2:0	RESERVED	保留 始终为 0, 不得写入其他数字

9.2.NSAD1147 寄存器汇总

ADDRESS	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	Reset Value	
00h	MUX IN	R/W			R/W			R/W			01h
		BCS[1:0]			MUX_SP[2:0]			MUX_SN[2:0]			
01h	VBIAS	R				R/W				00h	
		RESERVED				VBIAS[3:0]					
02h	MUX REF	R/W	R/W			R/W		R/W			00h
		CLK	VREFCON[1:0]			REFSELT[1:0]		MUXCAL[2:0]			
03h	SYS0	R	R/W				R/W				04h
		RESERVED	PGA[2:0]				DR[3:0]				
04h	OFC0	R/W									000000h
		OFC[7:0]									
05h	OFC1	OFC[15:8]									
06h	OFC2	OFC[23:16]									
07h	FSC0	R/W									400000h
		FSC[7:0]									
08h	FSC1	FSC[15:8]									
09h	FSC2	FSC[23:16]									
0Ah	IDAC0	R				R/W	R/W				10h
		ID[3:0]				DRDYMOD	IMAG[2:0]				
0Bh	IDAC1	R/W				R/W					FFh
		I1DIR[3:0]				I2DIR[3:0]					
0Ch	GPIOCFG	R				R/W					00h
		RESERVED				IOCFG[3:0]					
0Dh	GPIODIR	R				R/W					00h
		RESERVED				IODIR[3:0]					
0Eh	GPIODAT	R				R/W					00h
		RESERVED				IODAT[3:0]					

模拟输入通道配置寄存器(MUXIN)

address = 00h

Power-On/Reset = 01h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W		R/W			R/W		
BCS[1:0]		MUX_SP[2:0]			MUX_SN[2:0]		

位	位名称	描述
[7:6]	BCS[1:0]	开路测试电流源控制, 这几个比特设置开率测试电流源 00: 开路测试电流源禁能(默认) 01: 开路测试电流源使能, 0.5 μ A 10: 开路测试电流源使能, 2 μ A 11: 开路测试电流源使能, 10 μ A
[5:3]	MUX_SP[2:0]	多路复用器选择 这些比特位选择哪一模拟输入端连接至 PGA 正输入端 000: AIN0(默认) 001: AIN1 010: AIN2 011: AIN3
[2:0]	MUX_SN[2:0]	多路复用器选择 这些比特位选择哪一模拟输入端连接至 PGA 负输入端 000: AIN0 001: AIN1(默认) 010: AIN2 011: AIN3

偏置电压配置寄存器(VBIAS)

address = 01h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
RESERVED, Always=0h				VBIAS[7:0]			

位	位名称	描述
7:2	RESERVED	保留, 始终为 0
3:0	VBIAS[3:0]	内部偏置电压发生器控制 内部偏置电压可以在多个通道上使能 AINx 通道上的偏置电压。置 1 时, 内部偏置电压加载到 AINx 0: 偏置电压 Vbias 禁能(默认) 1: 偏置电压 Vbias 加载到 AINx(x = 0,1,2,3)

基准控制寄存器(REFCTRL)

address = 02h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W	R/W		R/W		R/W		
CLK	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]		

位	位名称	描述
7	CLK	时钟源选择 配置时钟源,选择片内 4.096MHz 或者是经由 CLK 引脚输入的外部时钟源 0: 内部时钟源(默认) 1: 外部时钟源
[6:5]	VREFCON[1:0]	内部基准控制 控制内部电压基准,控制片内电压基准开启或者关闭,或者是根据器件所处状态开启或关闭 00:内部电压基准常关(默认) 01:内部电压基准常开 10 或 11:内部电压基准在连续转换模式下开启,睡眠模式下关闭
[4:3]	REFSELT[1:0]	Reference Select Control 基准电压选择控制 选择 ADC 基准电压输入通道 00:选择 REFPO/REFNO 基准输入 01:选择 REFP1/REFN1 基准输入 10 或 11:选择内部基准
[2:0]	MUXCAL[2:0]	系统监控功能控制 这些比特位选择系统监控器功能,在启用系统监控功能时,可能会抢断 MUX IN, VREFCON, REFSELT 配置 000: 正常操作, 系统监控功能关闭(默认) 001: 失调校准, 模拟输入端从输入断开, 内部短接至 (AVDD-AVSS) /2 电平 010: 增益校准, 模拟输入端连接至电压基准 011: 温度测量, 模拟输入端连接至内部温度传感器 101: REF0 监控, 模拟输入端连接至(REFPO – REFNO)/4 110: 模拟电源监控, 模拟输入端连接至(AVDD – AVSS)/4 111: 数字电源监控, 模拟输入端连接至(DVDD – DGND)/4

MUXCAL 设置

MUXCAL[2:0]	PGA 增益设置	PGA 输入设置	电压基准设置
000	由 SYS0 寄存器中 PGA[2:0]设置	正常操作	由 REFCTRLR 寄存器中 EFSELT[1:0]设置
001	由 SYS0 寄存器中 PGA[2:0]设置	内部短接至(AVDD-AVSS) / 2	
010	自动设置为 1	由 REFCTRLR 寄存器中 EFSELT[1:0]设置	
011	自动设置为 4	内部温度传感器	
101	自动设置为 1	$(V(\text{REFP0}) - V(\text{REFN0})) / 4$	
110	自动设置为 1	$(\text{AVDD} - \text{AVSS}) / 4$	
111	自动设置为 1	$(\text{DVDD} - \text{DGND}) / 4$	

系统控制寄存器 0(SYS0)

address = 03h

Power-On/Reset = 04h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R	R/W			R/W			
RESERVED	PGA[2:0]			DR[3:0]			

位	位名称	描述
7	RESERVED	RESERVED
[6:5]	PGA[2:0]	PGA 增益设置 这些比特位设置 PGA 的增益 000: PGA = 1(默认) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128
[3:0]	DR[3:0]	数据输出速率设置 这些比特位设置 ADC 的数据输出速率 0000: 2.5 SPS 0001: 5 SPS 0010: 10 SPS 0011: 16.6 SPS 0100: 20SPS(默认) 0101: 50SPS 0110: 60 SPS 0111: 100 SPS 1000: 200 SPS 1001: 400 SPS 1010: 800 SPS 1011: 1000 SPS 1100: 2000 SPS 1101: 4000 SPS 1110 or 1111: 4000 SPS

失调校准系数寄存器(OFC)

address = 04h, 05h, 06h

Power-On/Reset = 00h, 00h, 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]							

增益校准系数寄存器(FSC)

address = 07h, 08h, 09h

Power-On/Reset = 00h, 00h, 40h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]s							

激励电流控制寄存器 0(IDAC0)

address = 0Ah

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W	R/W		
ID[3:0]				DRDYM0D	IMAG[2:0]		

位	位名称	描述
[7:4]	ID[3:0]	NSAD114x 识别号 0000: NSAD1149 0001: NSAD1148 0010: NSAD1147 0011: NSAD1146
3	DRDYM0D	DOUT/DRDY 功能设置 该比特位设置 DOUT/DRDY 功能, 专用 DRDY 引脚始终保持数据就绪功能 0: DOUT/DRDY 引脚仅为数据输出功能(默认) 1: DOUT/DRDY 引脚复用数据输出功能和数据就绪两种功能
[2:0]	IMAG[2:0]	激励电流幅值设置 这些比特位设置 IOUT 激励电流的值 000: off (默认) 001: 50 μ A 010: 100 μ A 011: 250 μ A 100: 500 μ A 101: 750 μ A 110: 1000 μ A 111: 1500 μ A

激励电流控制寄存器 1(IDAC1)

address = 0Bh

Power-On/Reset = FFh

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
I1DIR[3:0]				I2DIR[3:0]			

位	位名称	描述
[7:4]	I1DIR[3:0]	IOUT1 激励电流的通道选择位 这些比特位设置 IDAC1 的加载引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 111x: 断路 (默认)
[3:0]	I2DIR[3:0]	IOUT2 激励电流的通道选择位 这些比特位设置 IDAC2 的加载引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 111x: 断路 (默认)

GPIO 配置寄存器(GPIOCFG)

address = 0Ch

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
RESERVED, Always=0h				IOCFG[3:0]			

位	位名称	描述
7:4	RESERVED	保留位,始终为 00h
3:0	IOCFG[3:0]	IOCFG[3:0]: GPIO[x] 引脚配置 0: GPIO[x] 禁能(默认) 1: GPIO[x] 使能

GPIO 方向寄存器(GPIODIR)

address = 0Dh

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
RESERVED, Always=0h				IOCFG[3:0]			

位	位名称	描述
7:4	RESERVED	保留位,始终为 00h
3:0	IODIR[3:0]	IODIR[3:0]: GPIO[x]方向 配置 GPIO[x]为输入或输出 0: GPIO[x] 为输出 (默认) 1: GPIO[x] 为输入

GPIO 数据寄存器(GPIODAT)

address = 0Eh

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
RESERVED, Always=0h				IOCFG[3:0]			

位	位名称	描述
7:4	RESERVED	保留位,始终为 00h
3:0	GPIODAT[3:0]	IODAT[3:0]: GPIO[x]数据 表示对应 GPIO[x]电平状态 0: GPIO[x] 为低 (默认) 1: GPIO[x] 为高

9.3.NSAD1148 寄存器汇总

ADDRESS	NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	Reset Value
00h	MUX IN	R/W		R/W			R/W			01h
		BCS[1:0]		MUX_SP[2:0]			MUX_SN[2:0]			
01h	VBIAS	R/W								00h
		VBIAS[7:0]								
02h	MUX REF	R/W	R/W		R/W		R/W			00h
		CLK	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]			
03h	SYS0	R	R/W			R/W				04h
		RESERVED	PGA[2:0]			DR[3:0]				
04h	OFC0	R/W								000000h
05h	OFC1	OFC[7:0]								
06h	OFC2	OFC[15:8]								
		OFC[23:16]								
07h	FSC0	R/W								400000h
08h	FSC1	FSC[7:0]								
09h	FSC2	FSC[15:8]								
		FSC[23:16]								
0Ah	IDAC0	R				R/W	R/W			10h
		ID[3:0]				DRDYMOD	IMAG[2:0]			
0Bh	IDAC1	R/W				R/W				FFh
		I1DIR[3:0]				I2DIR[3:0]				
0Ch	GPIOCFG	R/W								00h
		IOCFG[7:0]								
0Dh	GPIODIR	R/W								00h
		IODIR[7:0]								
0Eh	GPIODAT	R/W								00h
		IODAT[7:0]								

模拟输入通道配置寄存器(MUXIN)

address = 00h

Power-On/Reset = 01h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W		R/W			R/W		
BCS[1:0]		MUX_SP[2:0]			MUX_SN[2:0]		

位	位名称	描述
[7:6]	BCS[1:0]	开路测试电流源控制 这些比特位设置开路测试电流源 00: 开路测试电流源禁能(默认) 01: 开路测试电流源使能, 0.5μA 10: 开路测试电流源使能, 2μA 11: 开路测试电流源使能, 10μA
[5:3]	MUX_SP[2:0]	多路复用器选择 这些比特位选择哪一模拟输入端连接至 PGA 正输入端 000: AIN0(默认) 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7
[2:0]	MUX_SN[2:0]	多路复用器选择 这些比特位选择哪一模拟输入端连接至 PGA 负输入端 000: AIN0 001: AIN1(默认) 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7

偏置电压配置寄存器(VBIAS)

address = 01h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
VBIAS[7:0]							

位	位名称	描述
7:0	VBIAS[7:0]	内部偏置电压发生器控制 内部偏置电压可以在多个通道上使能 AINx 通道上的偏置电压。置 1 时, 内部偏置电压加载到 AINx 0: 偏置电压 Vbias 禁能(默认) 1: 偏置电压 Vbias 加载到 AINx(x = 0,1,2,3,4,5,6,7)

基准控制寄存器(REFCTRL)

address = 02h

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W	R/W		R/W		R/W		
CLK	VREFCON[1:0]		REFSELT[1:0]		MUXCAL[2:0]		

位	位名称	描述
7	CLK	时钟源选择 配置时钟源,选择片内 4.096MHz 或者是经由 CLK 引脚输入的外部时钟源 0: 内部时钟源(默认) 1: 外部时钟源
[6:5]	VREFCON[1:0]	内部基准控制 控制内部电压基准,控制片内电压基准开启或者关闭,或者是根据器件所处状态开启或关闭 00: 内部电压基准常关(默认) 01: 内部电压基准常开 10 或 11: 内部电压基准在连续转换模式下开启,睡眠模式下关闭
[4:3]	REFSELT[1:0]	基准电压选择控制 选择 ADC 基准电压输入通道 00: 选择 REFPO/REFNO 基准输入 01: 选择 REFP1/REFN1 基准输入 10 或 11: 选择内部基准
[2:0]	MUXCAL[2:0]	系统监控功能控制 这些比特位选择系统监控器功能,在启用系统监控功能时,可能会抢断 MUX IN, VREFCON, REFSELT 配置 000: 正常操作, 系统监控功能关闭(默认) 001: 失调校准, 模拟输入端从输入断开,内部短接至 (AVDD-AVSS) /2 电平 010: 增益校准, 模拟输入端连接至电压基准 011: 温度测量, 模拟输入端连接至内部温度传感器 100: REF1 监控。模拟输入端连接至(REFP1 - REFN1)/4 101: REF0 监控。模拟输入端连接至(REFP0 - REFNO)/4 110: 模拟电源监控。模拟输入端连接至(AVDD - AVSS)/4 111: 数字电源监控。模拟输入端连接至(DVDD - DGND)/4

MUXCAL 配置

MUXCAL[2:0]	PGA 增益设置	PGA 输入设置	电压基准设置
000	由 SYS0 寄存器中 PGA[2:0] 设置	正常操作	由 REFCTRLR 寄存器中 EFSELT[1:0] 设置
001	由 SYS0 寄存器中 PGA[2:0] 设置	内部短接至 (AVDD-AVSS) / 2	
010	自动设置为 1	$V(\text{REFP}) - V(\text{REFN})$	
011	自动设置为 4	内部温度传感器	
100	自动设置为 1	$(V(\text{REFP1}) - V(\text{REFN1})) / 4$	
101	自动设置为 1	$(V(\text{REFP0}) - V(\text{REFN0})) / 4$	
110	自动设置为 1	$(\text{AVDD} - \text{AVSS}) / 4$	
111	自动设置为 1	$(\text{DVDD} - \text{DGND}) / 4$	

系统控制寄存器 0(SYS0)

address = 03h

Power-On/Reset = 04h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R	R/W			R/W			
RESERVED	PGA[2:0]			DR[3:0]			

位	位名称	描述
7	RESERVED	保留位,始终为 0h
[6:5]	PGA[2:0]	PGA 增益设置 这些比特位设置 PGA 的增益 000: PGA = 1(默认) 001: PGA = 2 010: PGA = 4 011: PGA = 8 100: PGA = 16 101: PGA = 32 110: PGA = 64 111: PGA = 128
[3:0]	DR[3:0]	数据输出速率设置 这些比特位设置 ADC 的数据输出速率 0000: 2.5 SPS 0001: 5 SPS 0010: 10 SPS 0011: 16.6 SPS 0100: 20 SPS(默认) 0101: 50 SPS 0110: 60 SPS 0111: 100 SPS 1000: 200 SPS 1001: 400 SPS 1010: 800 SPS 1011: 1000 SPS 1100: 2000 SPS 1101: 4000 SPS 1110 or 1111: 4000 SPS

失调校准系数寄存器(OFC)

address = 04h, 05h, 06h

Power-On/Reset = 00h, 00h, 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]							

增益校准系数寄存器(FSC)

address = 07h, 08h, 09h

Power-On/Reset = 00h, 00h, 40h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
OFC[7:0]							
OFC[15:8]							
OFC[23:16]							

激励电流控制寄存器 0(IDAC0)

address = 0Ah

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W	R/W		
ID[3:0]				DRDYMOD	IMAG[2:0]		

位	位名称	描述
[7:4]	ID[3:0]	NSAD114x 识别号 0100: NSAD1148 0101: NSAD1147 0110: NSAD1146
3	DRDYMOD	该比特位设置 DOUT/DRDY 功能, 专用 DRDY 引脚始终保持数据就绪功能 0: DOUT/DRDY 引脚仅为数据输出功能(默认) 1: DOUT/DRDY 引脚复用数据输出功能和数据就绪两种功能
[2:0]	IMAG[2:0]	激励电流幅值设置 这些比特位设置 IOUT 激励电流的值 000: off(默认) 001: 50 μ A 010: 100 μ A 011: 250 μ A 100: 500 μ A 101: 750 μ A 110: 1000 μ A 111: 1500 μ A

激励电流控制寄存器 1(IDAC1)

address = 0Bh

Power-On/Reset = FFh

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R				R/W			
I1DIR[3:0]				I2DIR[3:0]			

位	位名称	描述
[7:4]	I1DIR[3:0]	IOUT1 激励电流的通道选择位。 这些比特位设置 IDAC1 的加载引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: ANI3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 10x0: IEXC1 10x1: IEXC2 111x: 断路 (默认)
[3:0]	I2DIR[3:0]	IOUT1 激励电流的通道选择位。 这些比特位设置 IDAC1 的加载引脚 0000: AIN0 0001: AIN1 0010: AIN2 0011: ANI3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 10x0: IEXC1 10x1: IEXC2 111x: 断路 (默认)

GPIO 配置寄存器(GPIOCFG)

address = 0Ch

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
IOCFG[7:0]							

位	位名称	描述
7:0	IOCFG[7:0]	IOCFG[7:0]: GPIO[x] 引脚配置 0: GPIO[x] 禁能(默认) 1: GPIO[x] 使能

GPIO 方向寄存器(GPIODIR)

address = 0Dh

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
IOCFG[7:0]							

位	位名称	描述
7:0	IODIR[7:0]	IODIR[7:0]: GPIO[x]方向 配置 GPIO[x]为输入或输出 0: GPIO[x] 为输出 (默认) 1: GPIO[x] 为输入

GPIO 数据寄存器(GPIODAT)

address = 0Eh

Power-On/Reset = 00h

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
R/W							
IOCFG[3:0]							

位	位名称	描述
7:0	GPIODAT[7:0]	IODAT[7:0]: GPIO[x]数据 表示对应 GPIO[x]电平状态 0: GPIO[x] 为低 (默认)

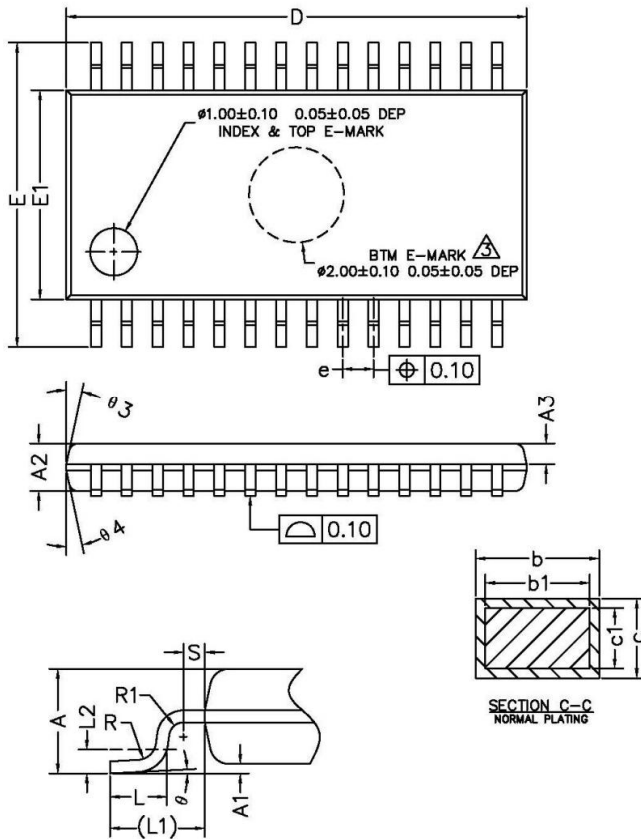
		1: GPIO[x] 为高
--	--	---------------

10. 典型应用

TBD

11. 封装信息

11.1.TSSOP28:



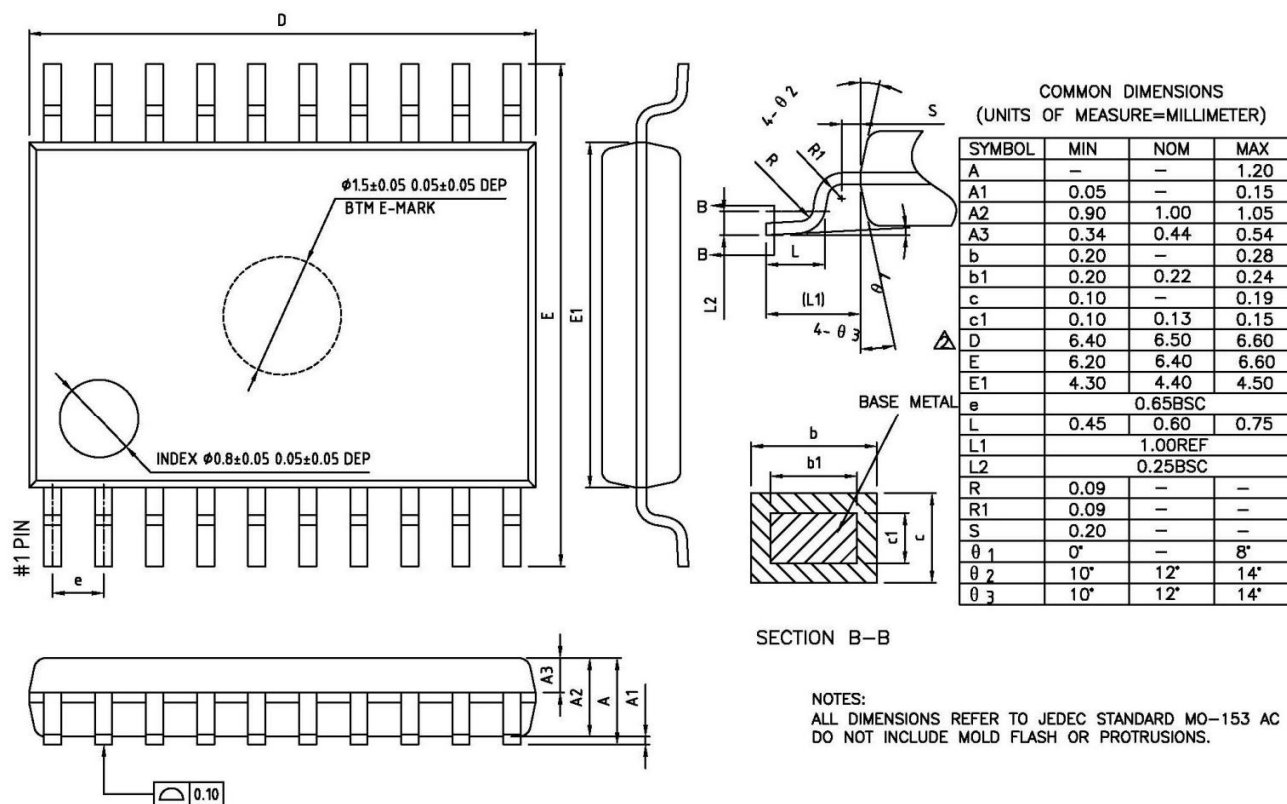
COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.90	1.00	1.05
A3	0.34	0.44	0.54
b	0.20	—	0.29
b1	0.19	0.22	0.25
c	0.13	—	0.18
c1	0.12	0.13	0.14
D	9.60	9.70	9.80
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.55	0.65	0.75
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R	0.09	—	—
R1	0.09	—	—
S	0.20	—	—
θ	0°	—	8°
θ_1	10°	12°	14°
θ_2	10°	12°	14°
θ_3	10°	12°	14°
θ_4	10°	12°	14°

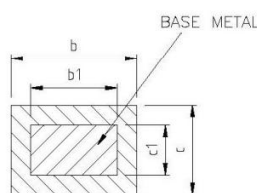
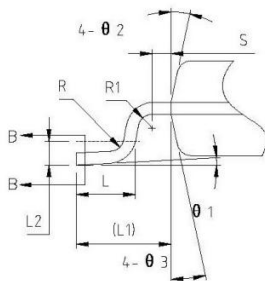
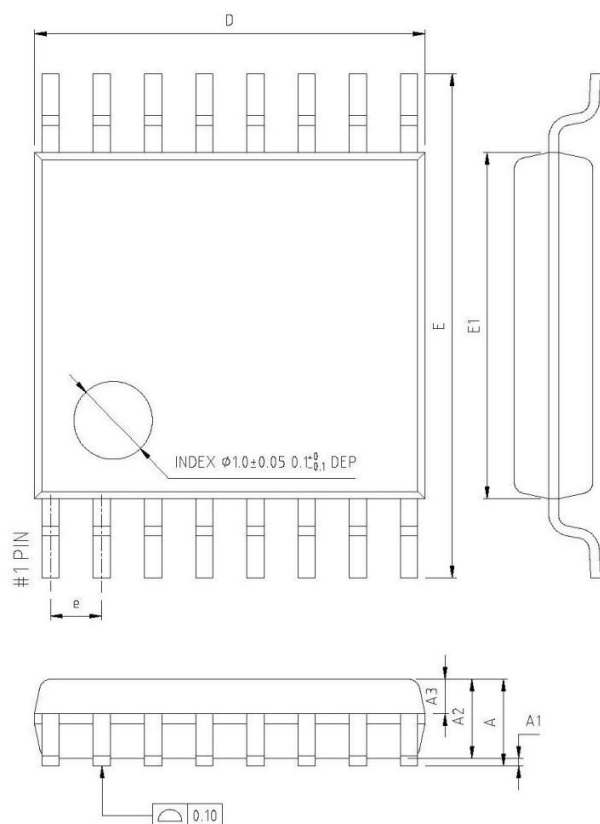
NOTES:

1. ALL DIMENSIONS REFER TO JEDEC STANDARD MO-153 AE
 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

11.2.TSSOP20:



11.1.TSSOP16:



SECTION B-B

COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.90	1.00	1.05
A3	0.34	0.44	0.54
b	0.20	—	0.28
b1	0.20	0.22	0.24
c	0.10	—	0.19
c1	0.10	0.13	0.15
D	4.86	4.96	5.06
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R	0.09	—	—
R1	0.09	—	—
S	0.20	—	—
θ1	0°	—	8°
θ2	10°	12°	14°
θ3	10°	12°	14°

NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MO-153 AB
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

12. 订购信息

标准订货料号:

产品型号	封装
NSAD1148-DTSAR	TSSOP28
NSAD1147-DTSR	TSSOP20
NSAD1146-DTSPR	TSSOP16

13. 修订历史

Revision	Description	Date
0.1	初稿完成	2023/12/26